

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144886

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 09-172451

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.06.1997

(72)Inventor : SUNOCHI KAZUMASA
AOKI MASAMI

(30)Priority

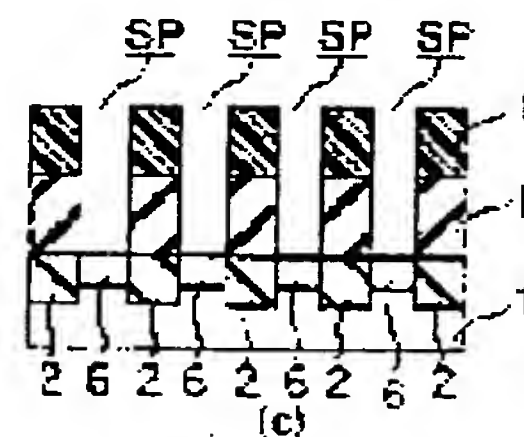
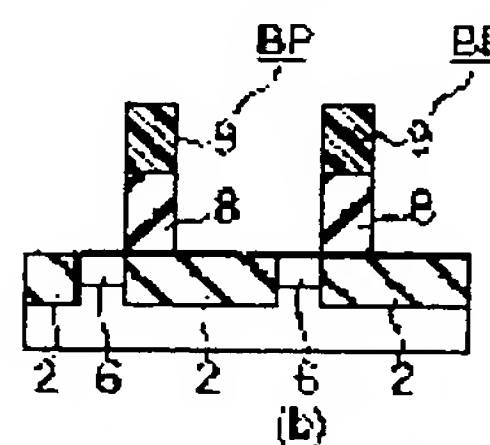
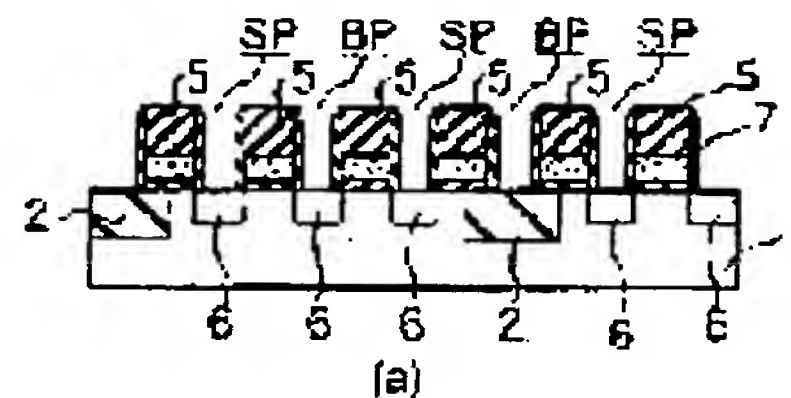
Priority number : 08240874 Priority date : 11.09.1996 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To realize high integration by arranging active region groups in the arranging direction of an interconnection group while shifting by one half of the distance between active region groups in the running direction of the interconnection group and providing a contact region for the interconnection group in a region projecting from the active region group in the running direction of the interconnection group between adjacent interconnection groups.

SOLUTION: An interlayer insulator 8 is etched until the surface of a substrate is exposed using an upper insulator 5 of a gate, a side wall insulator 7 of a gate and a resist pattern 9 as a mask thus exposing the surface of the substrate in a BL plug contact region BP and an SN plug contact region SP. The upper insulator and side wall insulator 7 of the gate in the region connecting other active regions intersecting a passing word line while being shifted, in the running direction of word line, by one half of the distance between adjacent active regions in the arranging direction of word line is utilized as an etching mask. According to the arrangement, high integration can be realized easily.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 17.06.2002

[Date of sending the examiner's decision of rejection] 24.06.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144886

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁶

識別記号

H 0 1 L 27/108
21/8242

F I

H 0 1 L 27/10

6 8 1 B

6 2 1 Z

6 8 1 D

審査請求 未請求 請求項の数18 O L (全 23 頁)

(21) 出願番号 特願平9-172451

(22) 出願日 平成9年(1997) 6月27日

(31) 優先権主張番号 特願平8-240874

(32) 優先日 平8(1996) 9月11日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 須之内 一正

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72) 発明者 青木 正身

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

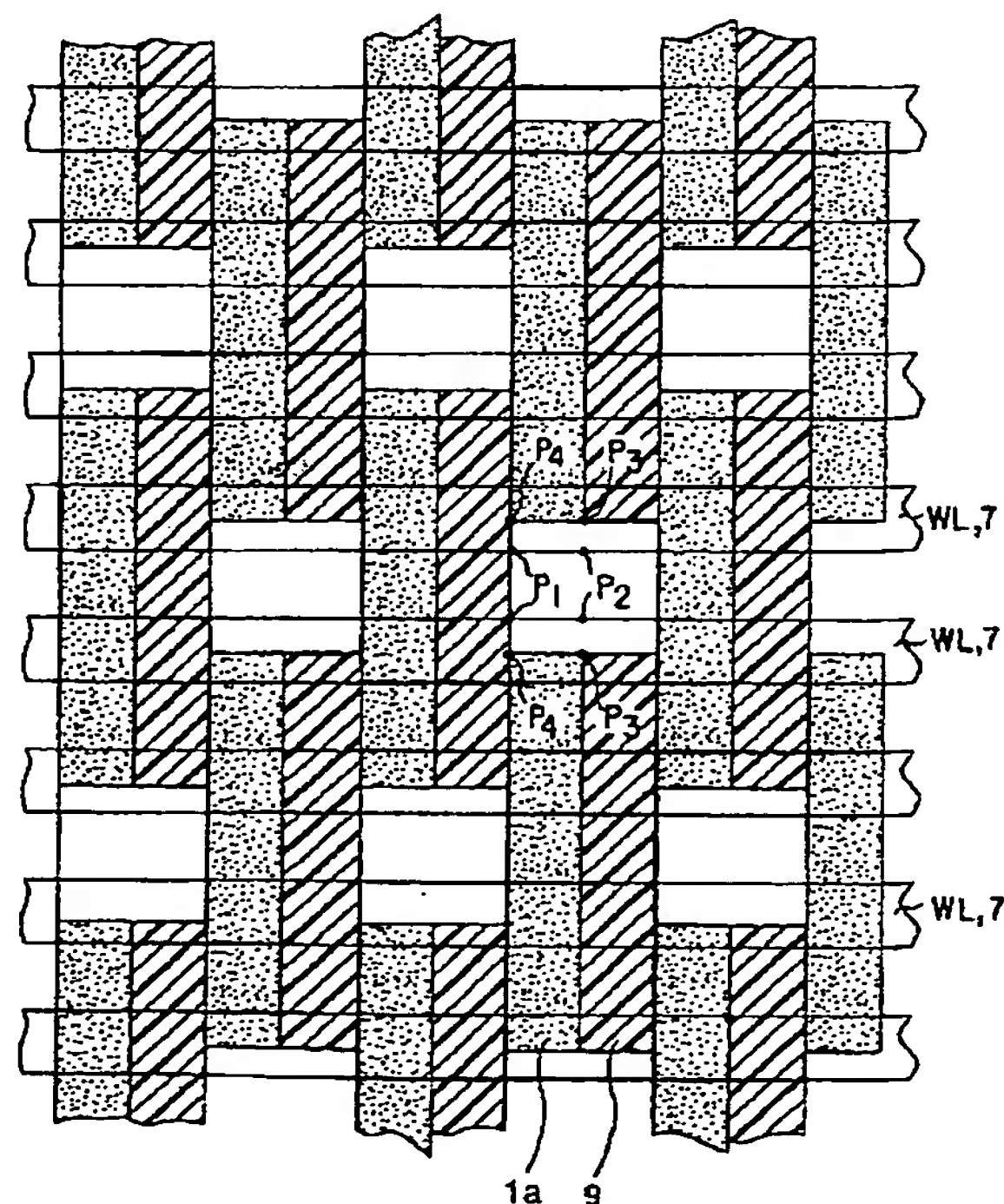
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 高集積化が容易なスタック型メモリセルを用いたDRAMを提供すること。

【解決手段】 $8F^2$ のスタック型メモリセルにおいて、2つのワード線WLで挟まれた領域の活性領域1aのソース・ドレイン拡散層とビット線とを接続するためのビット線プラグ電極を、上記ソース・ドレイン拡散層より、ワード線WLと平行に、最小の素子分離幅Fより長く、かつ素子分離幅Fの3倍より短く形成する。



【特許請求の範囲】

【請求項 1】半導体基板表面に規則的に配列された複数の活性領域群と、これらの複数の活性領域群の間に形成された素子分離領域と、前記複数の活性領域群上にこれと交差して互いに並んで配列された複数の配線群と、この複数の配線群上を選択的に覆う第 1 の絶縁膜と、前記複数の配線群の間を埋め込むように形成された第 2 の絶縁膜とを備え、

前記複数の活性領域群は、前記複数の配線群の配列方向に、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつずれて配列されるとともに、前記複数の活性領域群の各々に対するコンタクト領域は、前記複数の配線群のうち隣接する配線間で、かつ前記複数の活性領域群の各々から前記複数の配線群の走る方向に凸状に延在した領域に設けられ、

前記第 2 の絶縁膜は、前記複数の配線群間における前記複数の活性領域群の領域及び前記コンタクト領域上に開口部を有し、該コンタクト領域上の開口部を埋め込むようにコンタクト電極配線層が形成され、

前記複数の配線群の走る方向における前記素子分離領域の幅を L_1 、同方向における前記複数の活性領域群の 1 つの幅を L_2 とすると、前記コンタクト領域における前記凸状に延在した領域の有する前記複数の配線群の走る方向の長さ X が、 $L_1 < X < 2L_1 + L_2$ の関係を満たすことを特徴とする半導体装置。

【請求項 2】前記複数の活性領域群の各々は MOS 型トランジスタのソース・ドレイン領域からなり、前記複数の配線群はワード線からなり、前記コンタクト電極配線層は前記コンタクト領域に対してビット線をコンタクトするための電極配線層であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記複数の活性領域群の各々は少なくとも 2 つの MOS 型トランジスタを有し、前記コンタクト領域は前記 2 つの MOS 型トランジスタにおける共通のソース・ドレイン領域と電気的に接続するように形成され、前記 MOS 型トランジスタの他のソース・ドレイン領域に対してスタック型のキャパシタが電気的に接続されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】半導体基板表面に規則的に配列された複数の活性領域群と、この複数の活性領域群上にこれと交差して互いに並んで配列された複数の配線群とを備え、前記複数の活性領域群は、前記複数の配線群の配列方向に、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつずれて配列されるとともに、前記複数の活性領域群の各々に対するコンタクト領域は、前記複数の配線群のうち隣接する配線間で、かつ前記複数の活性領域群の各々から前記複数の配線群の走る方向に凸状に延在した領域に設けられた半導体装置の製造方法であって、

前記複数の配線群上を選択的に第 1 の絶縁膜で覆う工程

と、前記複数の配線群の間を第 2 の絶縁膜で埋める工程と、前記第 1 及び第 2 の絶縁膜上にレジストを形成し、このレジストを露光、現像することにより、レジストパターンを形成する工程と、このレジストパターンをマスクとして前記第 2 の絶縁膜を前記第 1 の絶縁膜に対して選択的にエッチングすることにより、前記複数の活性領域群のコンタクト領域に対するコンタクト孔を前記第 2 の絶縁層に形成する工程と、前記コンタクト孔を埋め込むようにコンタクト電極配線層を形成する工程とを備え、

前記レジストパターンを、前記複数の活性領域群上及び前記コンタクト領域上の前記レジスト部分の他、前記複数の活性領域群の各々の活性領域のコンタクト領域と該活性領域に対して、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつで前記凸状に延在する側に隣接する活性領域との間の領域上の前記レジスト部分を除去して形成することを特徴とする半導体装置の製造方法。

【請求項 5】半導体基板表面に規則的に配列された複数の活性領域群と、これらの複数の活性領域群の間に形成された素子分離領域と、前記複数の活性領域群上にこれと交差して互いに並んで配列された複数の配線群とを備え、前記複数の活性領域群は、前記複数の配線群の配列方向に、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつずれて配列されるとともに、前記複数の活性領域群の各々に対するコンタクト領域は、前記複数の配線群のうち隣接する配線間で、かつ前記複数の活性領域群の各々から前記複数の配線群の走る方向に凸状に延在した領域に設けられた半導体装置の製造方法であって、

前記複数の配線群上を選択的に第 1 の絶縁膜で覆う工程と、前記複数の配線群の間を第 2 の絶縁膜で埋める工程と、前記第 1 及び第 2 の絶縁膜上にレジストを形成し、このレジストを露光、現像することにより、前記複数の活性領域群及び前記コンタクト領域上の前記レジスト部分を除去してレジストパターンを形成する工程と、このレジストパターンをマスクとして前記第 2 の絶縁膜を前記第 1 の絶縁膜に対して選択的にエッチングすることにより、前記複数の活性領域群のコンタクト領域に対するコンタクト孔を前記第 2 の絶縁層に形成する工程と、前記コンタクト孔を埋め込むようにコンタクト電極配線層を形成する工程とを備え、

前記複数の配線群の走る方向における前記素子分離領域の幅を L_1 、同方向における前記複数の活性領域群の 1 つの幅を L_2 とすると、前記コンタクト領域における前記凸状に延在した領域の有する前記複数の配線群の走る方向の長さ X が $L_1 < X < 2L_1 + L_2$ の関係を満たすように該コンタクト領域を設けて、前記レジストパターンを形成することを特徴とする半導体装置の製造方法。

【請求項 6】前記複数の活性領域群の各々は MOS 型ト

ランジスタのソース・ドレイン領域からなり、前記複数の配線群はワード線からなり、前記コンタクト電極配線層は前記コンタクト領域に対してビット線をコンタクトするための電極配線層であることを特徴とする請求項4又は請求項5記載の半導体装置の製造方法。

【請求項7】前記複数の活性領域群の各々は少なくとも2つのMOS型トランジスタを有し、前記コンタクト領域を前記2つのMOS型トランジスタにおける共通のソース・ドレイン領域と電気的に接続するように形成し、前記MOS型トランジスタの他のソース・ドレイン領域に対してスタック型のキャパシタを電気的に接続せしめることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】前記レジストパターンは、前記活性領域に対して、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の1/2ずれて前記凸状に延在する方向に隣接する2つの活性領域間の領域上の前記レジスト部分を除去して形成することを特徴とする請求項4又は請求項5記載の半導体装置の製造方法。

【請求項9】前記レジストパターンは互いに分離した複数の矩形のパターンからなり、該矩形のパターンをアレイ状に、かつ前記複数の配線群と交差して互いに平行となるように配列することを特徴とする請求項4又は請求項5記載の半導体装置の製造方法。

【請求項10】前記矩形のパターンを、前記複数の配線群の配列方向に半ピッチずつずれて配列することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】複数の第1のMOSトランジスタがチャネル長方向に第1のゲート電極間距離をもって配列形成された第1の領域と、
前記第1のMOSトランジスタよりも高不純物濃度の拡散層を有する複数の第2のMOSトランジスタが、チャネル長方向に前記第1のゲート電極間距離よりも長い第2のゲート電極間距離をもって配列形成された第2の領域とを具備してなる半導体装置において、
前記第1のMOSトランジスタのゲート電極の側壁には、第1のゲート側壁絶縁膜が直接接して設けられ、
前記第2のMOSトランジスタのゲート電極の側壁には、前記第1のゲート側壁絶縁膜と同種の膜からなり、
かつ前記第1のゲート側壁絶縁膜よりも厚い第2のゲート側壁絶縁膜が直接接して設けられていることを特徴とする半導体装置。

【請求項12】複数の第1のMOSトランジスタがチャネル長方向に第1のゲート電極間距離をもって配列形成された第1の領域と、
前記第1のMOSトランジスタよりも高不純物濃度の拡散層を有する複数の第2のMOSトランジスタが、チャネル長方向に前記第1のゲート電極間距離よりも長い第2のゲート電極間距離をもって配列形成された第2の領域とを具備してなる半導体装置において、

前記第1のMOSトランジスタのゲート電極の側壁には、第1のゲート側壁絶縁膜が直接接して設けられ、
前記第2のMOSトランジスタのゲート電極の側壁には、前記第1のゲート側壁絶縁膜と異種の膜からなる第2のゲート側壁絶縁膜が直接接して設けられ、
かつこの第2のゲート側壁絶縁膜が、前記第1のゲート側壁絶縁膜を介して前記第1のMOSトランジスタのゲート電極の側壁に設けられていることを特徴とする半導体装置。

10 【請求項13】前記第2のゲート電極は不純物を含む半導体膜からなり、前記第2のゲート側壁絶縁膜は前記半導体膜中の前記不純物のゲート絶縁膜の突き抜けを抑制する絶縁膜からなることを特徴とする請求項12記載の半導体装置。

【請求項14】複数の第1のMOSトランジスタがチャネル長方向に第1のゲート電極間距離をもって配列形成された第1の領域と、
前記第1のMOSトランジスタよりも高不純物濃度の拡散層を有する複数の第2のMOSトランジスタが、チャネル長方向に前記第1のゲート電極間隔よりも長い第2のゲート電極間隔をもって配列形成された第2の領域とを具備してなる半導体装置の製造方法において、
前記第1及び第2の領域上に導電膜を形成する工程と、
前記第1の領域上の前記導電膜を選択的にエッチングし、複数の第1のゲート電極を前記第1のゲート電極間距離をもって配列形成する工程と、
前記第1のゲート電極間の前記第1の領域に不純物を選択的に導入し、第1の拡散層を形成する工程と、
前記第1のゲート電極の側壁に第1のゲート側壁絶縁膜を形成する工程と、
30 前記第2の領域上の前記導電膜を選択的にエッチングし、複数の第2のゲート電極を前記第2のゲート電極間距離をもって配列形成する工程と、
前記第2のゲート電極間の前記第2の領域に不純物を選択的に導入し、第2の拡散層を形成する工程と、
前記第2のゲート電極の側壁に、前記第1のゲート側壁絶縁膜よりも厚く、かつ前記第1のゲート側壁絶縁膜と同種の膜からなる第2のゲート側壁絶縁膜を形成する工程と、
40 この第2のゲート側壁絶縁膜で覆われていない領域の前記第2の拡散層に不純物を選択的に導入し、第3の拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項15】前記第1の拡散層上にソース・ドレイン電極を形成した後、前記第2のゲート電極を形成することを特徴とする請求項14記載の半導体装置の製造方法。

50 【請求項16】前記第1の拡散層上に前記ソース・ドレイン電極としての導電膜を選択的に形成することを特徴とする請求項14記載の半導体装置の製造方法。

【請求項17】複数の第1のMOSトランジスタがチャネル長方向に第1のゲート電極間距離でもって配列形成された第1の領域と、
前記第1のMOSトランジスタよりも高不純物濃度の拡散層を有する複数の第2のMOSトランジスタが、チャネル長方向に前記第1のゲート電極間隔よりも長い第2のゲート電極間隔でもって配列形成された第2の領域とを具備してなる半導体装置の製造方法において、
前記第1及び第2の領域上に導電膜を形成する工程と、
前記第1の領域上の前記導電膜を選択的にエッチングし、複数の第1のゲート電極を前記第1のゲート電極間距離でもって配列形成する工程と、
前記第1のゲート電極間の前記第1の領域に不純物を選択的に導入し、第1の拡散層を形成する工程と、
前記第1のゲート電極の側壁に接する第1のゲート側壁絶縁膜を形成する工程と、
前記第2の領域上の前記導電膜を選択的にエッチングし、複数の第2のゲート電極を前記第2のゲート電極間距離でもって配列形成する工程と、
前記第2のゲート電極間の前記第2の領域に不純物を選択的に導入し、第2の拡散層を形成する工程と、
前記第2のゲート電極の側壁に接するとともに、前記第1のゲート電極の側壁に接し、前記第1のゲート側壁絶縁膜よりも厚く、かつ前記第1のゲート側壁絶縁膜と異種の膜からなる第2のゲート側壁絶縁膜を形成する工程と、
この第2のゲート側壁絶縁膜で覆われていない領域の前記第2の拡散層に不純物を選択的に導入し、第3の拡散層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項18】前記導電膜は不純物を含む半導体膜であり、前記第2のゲート側壁絶縁膜は前記半導体膜中の前記不純物のゲート絶縁膜の突き抜けを抑制する絶縁膜であることを特徴とする請求項17記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数の活性領域群とこれら複数の活性領域群の各々に対するコンタクト領域を備えた半導体装置及びその製造方法に関する。また、本発明は、複数のMOSトランジスタが配列形成された第1及び第2の領域を有し、かつ第1及び第2の領域においてゲート電極間距離及び拡散層の不純物濃度が異なった半導体装置及びその製造方法に関する。

【0002】

【従来の技術】半導体記憶装置は、高集積化、大容量化の一途をたどっている。特に1個のMOSトランジスタと1個のキャパシタによりメモリセルを構成したDRAMは、そのメモリセル形式から最も集積化が進んでいる。

【0003】高集積度に伴いメモリセルの面積は減少す

るいっぽうである。この結果、DRAMにおいては、キャパシタの蓄積電荷電極の面積が減少し、これにより蓄積電荷量が減少して、記憶信号の読み出しを正確に行なうことが困難になってきている。また、MOSトランジスタ領域、素子分離領域の制御が困難になってきている。

【0004】このような問題を解決するために、ビット線上に蓄積電荷電極が形成された構造のメモリセル（スタック型メモリセル）を用いたDRAMが提案されている。図29にこの種の従来のDRAMの平面図、図30にその断面図を示す。同図（a）は活性領域を通してビット線に平行な断面図、同図（b）はビット線プラグ電極を通してワード線WLに平行な断面図、同図（c）は蓄積電荷プラグ電極を通してワード線WLに平行な断面図を示している。

【0005】図中、171はシリコン基板、171aは活性領域、172は素子分離絶縁膜、173はゲート絶縁膜、174はゲート電極、175はゲート上部・側壁絶縁膜、176₁はビット線プラグ電極、176₂は蓄積電荷プラグ電極、177は層間絶縁膜、178はビット線上部・側壁絶縁膜、179は蓄積電荷電極、180はキャパシタ絶縁膜、181はプレート電極を示している。なお、ソース・ドレイン拡散層は省略してある。

【0006】このDRAMにおいては、図31に示すようなパターンのビット線プラグ電極176₁、図32に示すようなパターンの活性領域171aを用いる。図33にこれらを重ねたパターンを示す。

【0007】図32に示すような活性領域171aをレジストパターンを用いて形成するためには、レジストに凸部を有する露光マスクパターンを転写する必要がある。しかしながら、このようなパターンをレジストに正確に転写することは困難であるため、設計通りにメモリセルを形成できず、高集積化は困難であった。

【0008】また、図34に、従来の他のスタック型メモリセルを用いたDRAMの平面図、図35にその断面図を示す。また、図36～図38に図31～図33に相当する図を示す。

【0009】この種のDRAMでは、図37に示すように、活性領域171aは矩形であるので、凸部を有さない露光マスクパターンを用いてレジストパターンを形成できる。しかしながら、ビット線プラグ電極176₁は図36に示すように凸部を有するので、結局、凸部を有する露光マスクパターンを用いてレジストパターンを形成することになる。したがって、先のDRAMと同様に、設計通りのメモリセルアレイを形成できず、高集積化は困難であった。

【0010】ところで、高集積化、高速化の要求に答えるために、DRAMとロジックデバイスを同一チップ上に形成することが提案されている。しかし、高集積化等をさらに進めると、DRAMとロジックデバイスを同時

に形成することが困難になってくる。

【0011】特にDRAMのMOSトランジスタとロジックデバイスのそれを同時に形成することが困難になる。これは異なる膜厚のゲート側壁絶縁膜が混在するからである。すなわち、DRAMの周辺領域のMOSトランジスタ及びロジックデバイスのそれでは、性能を上げるためにゲート側壁絶縁膜は厚く、DRAMのメモリ領域のMOSトランジスタでは、ゲート配線（ゲート電極）の配線ピッチ（ゲート電極間距離）が小さいためにゲート側壁絶縁膜は薄い。

【0012】このような問題を解決するために、以下のようなプロセスが提案されている。まず、図39（a）に示すように、周知の方法で、p型シリコン基板201の表面に形成した溝に絶縁膜202を埋め込んで素子分離を行なった後、メモリセル領域及びそれよりもゲート電極間距離が長い領域（以下、周辺領域という）にそれぞれゲート酸化膜203、ゲート電極204、ゲートキャップ絶縁膜205を形成する。

【0013】次に図39（b）に示すように、ゲートキャップ絶縁膜205をマスクにして、n型不純物イオンを基板表面に注入し、n型ソース・ドレイン拡散層206を形成した後、メモリセル領域のMOSトランジスタに合わせた厚さの第1のゲート側壁絶縁膜207を形成する。

【0014】次に図39（c）に示すように、周辺領域のMOSトランジスタに合った厚さのゲート側壁絶縁膜が形成されるように、第2のゲート側壁絶縁膜208を形成する。すなわち、第1及び第2のゲート側壁絶縁膜207、208により、周辺領域のMOSトランジスタに合わせた厚さのゲート側壁絶縁膜が完成することになる。ここで、第2のゲート側壁絶縁膜208の材料としては、第2のゲート側壁絶縁膜208のエッチングに対して、第1のゲート側壁絶縁膜207が目減りしないものを選ぶ。

【0015】次に同図（c）に示すように、メモリセル領域をレジストパターン209で覆った状態でイオン注入を行なうことで、周辺領域に高不純物濃度のn型ソース・ドレイン拡散層210を選択的に形成する。この後、レジストパターン209を剥離する。

【0016】次に図40（a）に示すように、層間絶縁膜211を形成する。層間絶縁膜211の平坦化は例えばCMPを用いて行なう。

【0017】次に図40（b）に示すように、レジストパターン212を形成し、このレジストパターン212をマスクにして、n型ソース・ドレイン領域206上の層間絶縁膜211を選択的にエッチング除去し、続いて同図（b）に示すように、n型ソース・ドレイン領域206上の第2のゲート側壁絶縁膜208を選択的にエッチング除去する。このようにして、メモリセル領域と周辺領域とでそれぞれ膜厚の異なるゲート側壁絶縁膜が完

成する。この後、レジストパターン212を剥離する。

【0018】次に図40（c）に示すように、メモリセル領域にソース・ドレイン電極213を形成する。ソース・ドレイン電極213の具体的な形成方法は、以下の通りである。

【0019】まず、ソース・ドレイン電極213としての導電膜をCVD法等の成膜法を用いて全面に形成する。次にこの導電膜を加熱してその表面形状を整える。最後にこの導電膜の全面をエッチング又はCMP等の方法によりキャップ絶縁膜205まで後退させる。ソース・ドレイン電極121の後の工程は、周知のプロセスと同様である。

【0020】ところで、この種の方法には以下のような問題がある。

【0021】この方法では、図40（a）に示した層間絶縁膜211を形成する工程において、周辺領域には高不純物濃度のn型ソース・ドレイン拡散層210が既に存在する。

【0022】このため、層間絶縁膜211の成膜に伴う加熱により、n型ソース・ドレイン拡散層210内の不純物が再拡散し、周辺領域のMOSトランジスタの性能が劣化してしまう。この結果、例えば、ロジックデバイスの高速化（高性能化）を実現できなくなるという問題が起こる。また、この方法は、メモリセル領域と周辺領域に同じ厚さのゲート側壁絶縁膜を形成する方法に比べて、工程が複雑になるという問題がある。

【0023】

【発明が解決しようとする課題】上述の如く、従来のスタック型メモリセルを用いたDRAMは、その製造のために、活性領域又はビット線プラグ電極用のレジストパターンを作成するための露光マスクパターンとして、転写が困難な凸部を有するパターンを用いる必要があり、これにより高集積化の妨げられるという問題があった。

【0024】また、高集積化、高性能化を達成するために、同一チップ上にメモリセル領域及び周辺領域のMOSトランジスタを形成することが提案されている。この場合、メモリセル領域と周辺領域とではゲート電極間距離及びソース・ドレイン領域の不純物濃度が異なっており、このような構成の半導体装置を製造しようとする、周辺領域の高不純物濃度のソース・ドレイン領域中の不純物が再拡散し、周辺領域のMOSトランジスタの性能が劣化し、装置の高性能化を図れないという問題があった。

【0025】本発明は、上記事情を考慮してなされたもので、その目的とするところは、高集積化に適した、複数の活性領域群とこれら複数の配線群の各々に対するコンタクト領域とを備えた半導体装置及びその製造方法を提供することにある。

【0026】また、本発明の他の目的は、複数のMOSトランジスタが配列形成された第1及び第2の素子領域

を有し、かつ第 1 及び第 2 の素子領域においてゲート電極間距離が異なり、かつゲート電極間距離が長いほうの素子領域に不純物濃度がより高い拡散層が存在する半導体装置において、製造途中における高不純物濃度の拡散層の不純物の再拡散を防止できる構成の半導体装置及びその製造方法を提供することにある。

【0027】

【課題を解決するための手段】

【構成】上記目的を達成するために、本発明に係る半導体装置（請求項 1）は、半導体基板表面に規則的に配列された複数の活性領域群と、これらの複数の活性領域群の間に形成された素子分離領域と、前記複数の活性領域群上にこれと交差して互いに並んで配列された複数の配線群と、この複数の配線群上を選択的に覆う第 1 の絶縁膜と、前記複数の配線群の間を埋め込むように形成された第 2 の絶縁膜とを備え、前記複数の活性領域群は、前記複数の配線群の配列方向に、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつずれて配列されるとともに、前記複数の配線群の各々に対するコンタクト領域は、前記複数の配線群のうち隣接する配線間で、かつ前記複数の活性領域群の各々から前記複数の配線群の走る方向に凸状に延在した領域に設けられ、前記第 2 の絶縁膜は、前記複数の配線群間における前記複数の活性領域群の領域及び前記コンタクト領域上に開口部を有し、該コンタクト領域上の開口部を埋め込むようにコンタクト電極配線層が形成され、前記複数の配線群の走る方向における前記素子分離領域の幅を L_1 、同方向における前記複数の活性領域群の 1 つの幅を L_2 とすると、前記コンタクト領域における前記凸状に延在した領域の有する前記複数の配線群の走る方向の長さ X が、 $L_1 < X < 2L_1 + L_2$ の関係を満たすことを特徴とする。

【0028】また、本発明に係る他の半導体装置（請求項 2）は、上記半導体装置（請求項 1）において、前記複数の活性領域群の各々が MOS 型トランジスタのソース・ドレイン領域からなり、前記複数の配線群がワード線からなり、前記コンタクト電極配線層が前記コンタクト領域に対してビット線をコンタクトするための電極配線層であることを特徴とする。

【0029】また、本発明に係る他の半導体装置（請求項 3）は、上記半導体装置（請求項 2）において、前記複数の活性領域群の各々が少なくとも 2 つの MOS 型トランジスタを有し、前記コンタクト領域が前記 2 つの MOS 型トランジスタにおける共通のソース・ドレイン領域と電氣的に接続するように形成され、前記 MOS 型トランジスタの他のソース・ドレイン領域に対してスタック型のキャパシタが電氣的に接続されていることを特徴とする。

【0030】また、本発明に係る半導体装置の製造方法（請求項 4）は、半導体基板表面に規則的に配列された

複数の活性領域群と、この複数の活性領域群上にこれと交差して互いに並んで配列された複数の配線群とを備え、前記複数の活性領域群は、前記複数の配線群の配列方向に、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつずれて配列されるとともに、前記複数の活性領域群の各々に対するコンタクト領域は、前記複数の配線群のうち隣接する配線間で、かつ前記複数の活性領域群の各々から前記複数の配線群の走る方向に凸状に延在した領域に設けられた半導体装置の製造方法であって、前記複数の配線群上を選択的に第 1 の絶縁膜で覆う工程と、前記複数の配線群の間を第 2 の絶縁膜で埋める工程と、前記第 1 及び第 2 の絶縁膜上にレジストを形成し、このレジストを露光、現像することにより、レジストパターンを形成する工程と、このレジストパターンをマスクとして前記第 2 の絶縁膜を前記第 1 の絶縁膜に対して選択的にエッチングすることにより、前記複数の活性領域群のコンタクト領域に対するコンタクト孔を前記第 2 の絶縁層に形成する工程と、前記コンタクト孔を埋め込むようにコンタクト電極配線層を形成する工程とを備え、前記レジストパターンを、前記複数の活性領域群上及び前記コンタクト領域上の前記レジスト部分の他、前記複数の活性領域群の各々の活性領域のコンタクト領域と該活性領域に対して、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつずれて前記凸状に延在する側に隣接する活性領域との間の領域上の前記レジスト部分を除去して形成することを特徴とする。

【0031】また、本発明に係る他の半導体装置の製造方法（請求項 5）は、半導体基板表面に規則的に配列された複数の活性領域群と、これらの複数の活性領域群の間に形成された素子分離領域と、前記複数の活性領域群上にこれと交差して互いに並んで配列された複数の配線群とを備え、前記複数の活性領域群は、前記複数の配線群の配列方向に、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつずれて配列されるとともに、前記複数の活性領域群の各々に対するコンタクト領域は、前記複数の配線群のうち隣接する配線間で、かつ前記複数の活性領域群の各々から前記複数の配線群の走る方向に凸状に延在した領域に設けられた半導体装置の製造方法であって、前記複数の配線群上を選択的に第 1 の絶縁膜で覆う工程と、前記複数の配線群の間を第 2 の絶縁膜で埋める工程と、前記第 1 及び第 2 の絶縁膜上にレジストを形成し、このレジストを露光、現像することにより、前記複数の活性領域群及び前記コンタクト領域上の前記レジスト部分を除去してレジストパターンを形成する工程と、このレジストパターンをマスクとして前記第 2 の絶縁膜を前記第 1 の絶縁膜に対して選択的にエッチングすることにより、前記複数の活性領域群のコンタクト領域に対するコンタクト孔を前記第 2 の絶縁層に形成する工程と、前記コンタクト孔を

埋め込むようにコンタクト電極配線層を形成する工程とを備え、前記複数の配線群の走る方向における前記素子分離領域の幅を L_1 、同方向における前記複数の活性領域群の1つの幅を L_2 とすると、前記コンタクト領域における前記凸状に延在した領域の有する前記複数の配線群の走る方向の長さ X が $L_1 < X < 2L_1 + L_2$ の関係を満たすように該コンタクト領域を設けて、前記レジストパターンを形成することを特徴とする。

【0032】また、本発明に係る他の半導体装置の製造方法（請求項6）は、上記半導体装置（請求項4、請求項5）において、前記複数の活性領域群の各々がMOS型トランジスタのソース・ドレイン領域からなり、前記複数の配線群がワード線からなり、前記コンタクト電極配線層が前記コンタクト領域に対してビット線をコンタクトするための電極配線層であることを特徴とする。

【0033】また、本発明に係る半導体装置の製造方法（請求項7）は、上記半導体装置（請求項6）において、前記複数の活性領域群の各々が少なくとも2つのMOS型トランジスタを有し、前記コンタクト領域を前記2つのMOS型トランジスタにおける共通のソース・ドレイン領域と電気的に接続するように形成し、前記MOS型トランジスタの他のソース・ドレイン領域に対してスタック型のキャパシタを電気的に接続せしめることを特徴とする。

【0034】また、本発明に係る他の半導体装置（請求項8）は、上記半導体装置（請求項4、請求項5）において、前記レジストパターンを、前記活性領域に対して、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずれて前記凸状に延在する方向に隣接する2つの活性領域間の領域上の前記レジスト部分を除去して形成することを特徴とする。

【0035】また、本発明に係る半導体装置の製造方法（請求項9）は、上記半導体装置（請求項4、請求項5）において、前記レジストパターンが互いに分離した複数の矩形のパターンからなり、該矩形のパターンをアレイ状に、かつ前記複数の配線群と交差して互いに平行となるように配列することを特徴とする。

【0036】ここで、好ましくは、前記レジストパターンは互いに分離した複数の矩形のパターンからなり、該矩形のパターンを、前記複数の配線群と交差するとともに、該配線群の配列方向に、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつずれて規則的に配列することを特徴とする。

【0037】また、本発明に係る他の半導体装置（請求項10）は、複数の第1のMOSトランジスタがチャンネル長方向に第1のゲート電極間距離をもって配列形成された第1の領域と、前記第1のMOSトランジスタよりも高不純物濃度の拡散層を有する複数の第2のMOSトランジスタが、チャンネル長方向に前記第1のゲート電極間距離よりも長い第2のゲート電極間距離をもって配列

形成された第2の領域とを備えた半導体装置において、前記第1のMOSトランジスタのゲート電極の側壁には、第1のゲート側壁絶縁膜が直接接して設けられ、前記第2のMOSトランジスタのゲート電極の側壁には、前記第1のゲート側壁絶縁膜と同種の膜からなり、かつ前記第1のゲート側壁絶縁膜よりも厚い第2のゲート側壁絶縁膜が直接接して設けられていることを特徴とする。

【0038】また、本発明に係る他の半導体装置（請求項12）は、複数の第1のMOSトランジスタがチャンネル長方向に第1のゲート電極間距離をもって配列形成された第1の領域と、前記第1のMOSトランジスタよりも高不純物濃度の拡散層を有する複数の第2のMOSトランジスタが、チャンネル長方向に前記第1のゲート電極間距離よりも長い第2のゲート電極間距離をもって配列形成された第2の領域とを備えた半導体装置において、前記第1のMOSトランジスタのゲート電極の側壁には、第1のゲート側壁絶縁膜が直接接して設けられ、前記第2のMOSトランジスタのゲート電極の側壁には、前記第1のゲート側壁絶縁膜と異種の膜からなる第2のゲート側壁絶縁膜が直接接して設けられ、かつこの第2のゲート側壁絶縁膜が、前記第1のゲート側壁絶縁膜を介して前記第1のMOSトランジスタのゲート電極の側壁に設けられていることを特徴とする。

【0039】この半導体装置（請求項12）が上記半導体装置（請求項10）と主として異なる点は、第1及び第2のゲート側壁絶縁膜が異なる種類の絶縁膜であることにある。

【0040】また、本発明に係る他の半導体装置（請求項13）は、上記半導体装置（請求項12）において、前記第2のゲート電極が不純物を含む半導体膜からなり、前記第2のゲート側壁絶縁膜が前記半導体膜中の前記不純物のゲート絶縁膜の突き抜けを抑制する絶縁膜からなることを特徴とする。

【0041】具体的には、前記不純物は例えばボロン、前記第2のゲート側壁絶縁膜は例えばシリコン酸化膜である。この場合、第1のゲート側壁絶縁膜は例えばシリコン窒化膜である。

【0042】また、本発明に係る他の半導体装置の製造方法（請求項14）は、複数の第1のMOSトランジスタがチャンネル長方向に第1のゲート電極間距離をもって配列形成された第1の領域と、前記第1のMOSトランジスタよりも高不純物濃度のソース・ドレイン領域を有する複数の第2のMOSトランジスタが、チャンネル長方向に前記第1のゲート電極間隔よりも長い第2のゲート電極間隔をもって配列形成された第2の領域とを備えた半導体装置の製造方法において、前記第1及び第2の領域上に導電膜を形成する工程と、前記第1の領域上の前記導電膜を選択的にエッチングし、複数の第1のゲート電極を前記第1のゲート電極間距離をもって配列形成

する工程と、前記第1のゲート電極間の前記第1の領域に不純物を選択的に導入し、第1の拡散層を形成する工程と、前記第1のゲート電極の側壁に第1のゲート側壁絶縁膜を形成する工程と、前記第2の領域上の前記導電膜を選択的にエッチングし、複数の第2のゲート電極を前記第2のゲート電極間距離でもって配列形成する工程と、前記第2のゲート電極間の前記第2の領域に不純物を選択的に導入し、第2の拡散層を形成する工程と、前記第2のゲート電極の側壁に、前記第1のゲート側壁絶縁膜よりも厚く、かつ前記第1のゲート側壁絶縁膜と同種の膜からなる第2のゲート側壁絶縁膜を形成する工程と、この第2のゲート側壁絶縁膜で覆われていない領域の前記第2の拡散層に不純物を選択的に導入し、第3の拡散層を形成する工程とを有することを特徴とする。

【0043】また、本発明に係る他の半導体装置の製造方法（請求項15）は、上記半導体装置の製造方法（請求項14）において、前記第1の拡散層上にソース・ドレイン電極を形成した後、前記第2のゲート電極を形成することを特徴とする。

【0044】ここで、前記ソース・ドレイン電極の形成方法としては、例えば、フォトリソグラフィとRIEを用いた方法があげられる。

【0045】また、他の形成方法としては、前記第1のソース・ドレイン領域上にソース・ドレイン電極としての導電膜を選択的に形成する方法があげられる（請求項16）。具体的には、タングステン膜やシリコン膜などを異方的に選択成長させ、ソース・ドレイン電極を形成する。

【0046】また、本発明に係る他の半導体装置の製造方法（請求項17）は、複数の第1のMOSトランジスタがチャネル長方向に第1のゲート電極間距離でもって配列形成された第1の領域と、前記第1のMOSトランジスタよりも高不純物濃度のソース・ドレイン領域を有する複数の第2のMOSトランジスタが、チャネル長方向に前記第1のゲート電極間隔よりも長い第2のゲート電極間隔でもって配列形成された第2の領域とを備えた半導体装置の製造方法において、前記第1及び第2の領域上に導電膜を形成する工程と、前記第1の領域上の前記導電膜を選択的にエッチングし、複数の第1のゲート電極を前記第1のゲート電極間距離でもって配列形成する工程と、前記第1のゲート電極間の前記第1の領域に不純物を選択的に導入し、第1の拡散層を形成する工程と、前記第1のゲート電極の側壁に接する第1のゲート側壁絶縁膜を形成する工程と、前記第2の領域上の前記導電膜を選択的にエッチングし、複数の第2のゲート電極を前記第2のゲート電極間距離でもって配列形成する工程と、前記第2のゲート電極間の前記第2の領域に不純物を選択的に導入し、第2の拡散層を形成する工程と、前記第2のゲート電極の側壁に接するとともに、前記第1のゲート電極の側壁に接し、前記第1のゲート側

壁絶縁膜よりも厚く、かつ前記第1のゲート側壁絶縁膜と異種の膜からなる第2のゲート側壁絶縁膜を形成する工程と、この第2のゲート側壁絶縁膜で覆われていない領域の前記第2のソース・ドレイン領域に不純物を選択的に導入し、第3の拡散層を形成する工程とを有することを特徴とする。

【0047】ここで、前記第2のゲート電極として不純物を含む半導体膜を用いた場合には、前記第2のゲート側壁絶縁膜として前記半導体膜中の前記不純物のゲート絶縁膜の突き抜けを抑制する絶縁膜を用いることが好ましい。

【0048】具体的には、前記不純物は例えばボロン、前記第2のゲート側壁絶縁膜は例えばシリコン酸化膜である。この場合、前記第1のゲート側壁絶縁膜は例えばシリコン窒化膜である〔作用〕本発明に係る半導体装置は、コンタクト領域における凸状に延在した領域の有する複数の配線群の走る方向の長さ X が、複数の配線群の走る方向における素子分離領域の幅 L_1 よりも長くなっている。

【0049】このため、その製造の際に、複数の活性領域群の各々の活性領域のコンタクト領域と、該活性領域に対して、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ （以下、半ピッチという）ずれて凸状に延在する方向に隣接する活性領域との間の領域（以下、コンタクト・活性領域間という）上に存在する上面が第1の絶縁膜で覆われた配線群を、前記コンタクト領域を形成するためのエッチングマスクの一部として利用できるようになる。

【0050】したがって、従来（ $0 < X \leq L_1$ ）、コンタクト・活性領域間上に存在していたレジストを除去したレジストパターンを使用することができるようになる。この結果、従来よりも転写が容易な露光マスクパターンの使用が可能となり、これにより高集積化を容易に行なえるようになる。

【0051】さらに、複数の配線群の走る方向における複数の活性領域群の各々の幅を L_2 としたときに、 $X < 2L_1 + L_2$ なる関係を満たしているので、ある活性領域に対するコンタクト領域が他の活性領域にかかるという不都合は生じない。

【0052】また、本発明の如きの構成の半導体装置（請求項11、12）であれば、本発明に係る半導体装置の製造方法（請求項14、17）により、製造途中において、第3の拡散層中の不純物が再拡散してしまうことを防止できる。特に第3の拡散層の不純物濃度が第1、第2の拡散層のそれよりも高い場合に有効である。

【0053】これは、第2の素子領域のMOSトランジスタは、基本的には、第1の素子領域のMOSトランジスタの後に形成されるため、第1の素子領域の加工工程における熱工程の影響を第3の拡散層が受け難くなるからである。

【0054】したがって、第1、第2の素子領域にそれぞれ設計通りの不純物濃度の拡散層を有するMOSトランジスタを形成でき、装置（素子）の高性能化を容易に実現できるようになる。

【0055】また、例えば第2（第1）の素子領域を覆うレジストパターンを用いて、第1（第2）の素子領域上の導電膜を選択的にエッチングし、第1（第2）のゲート電極を形成すれば、このレジストパターンをマスクにして、第1（第2）の素子領域に不純物を選択的に導入し、第1（第2）の拡散層を形成することができる。

【0056】すなわち、共通のレジストパターンでゲート電極及び拡散層を形成できる。このため、第1及び第2のゲート電極をそれぞれ別のレジストパターンで形成しても、工程数の増加を抑制できる。

【0057】従来は、第1及び第2のゲート電極を共通のレジストパターンで形成していたが、高不純物濃度の拡散層を形成する際に別のレジストパターンを用いていた。また、第2のゲート電極として、不純物を含む半導体膜を使用した場合には、本発明（請求項13、17）のように、第2のゲート側壁絶縁膜として、前記半導体膜中の前記不純物のゲート絶縁膜の突き抜けを抑制できるものを使用することが好ましい。

【0058】具体的には、第2のゲート電極として、ボロンを含む半導体膜を使用した場合には、第2のゲート側壁絶縁膜として、シリコン酸化膜を使用することが好ましい。

【0059】また、本発明（請求項15）において、ソース・ドレイン電極を形成する方法としては、例えば導電膜をRIE法によりエッチングして形成する方法があげられるが、本発明（請求項16）のように、選択成長法を用いてソース・ドレイン電極を自己整合的に形成することにより、フォトリソグラフィ工程数を削減できる。これにより、第1及び第2の素子領域に同じ厚さのゲート側壁絶縁膜を形成する場合と同じフォトリソグラフィ工程数で済むようになる。

【0060】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0061】（第1の実施形態）図1は、本発明の第1の実施形態に係るスタック型メモリセルを用いたDRAMのワード線W、活性領域1aを示す平面図である。

【0062】また、図2～図15は同DRAMの製造方法を示す工程断面図である。各図の工程断面図（a）～図（c）はそれぞれ図1の矢視A-A'断面、矢視B-B'断面、矢視C-C'断面に相当する図である。

【0063】このDRAMの製造方法は以下の通りである。

【0064】まず、図2に示すように、一導電型のシリコン基板1の表面に浅いトレンチ溝を形成し、このトレンチ溝内に素子分離絶縁膜2を埋め込むことにより、素

子分離（STI分離）を行なう。図1にはこの工程で形成されたMOSトランジスタの活性領域1aの平面パターンが示されている。すなわち、面積が $8F^2$ （Fは最小の素子分離幅）のメモリセル（例えば、図中の点D1～D8を結んだ領域）を形成できるように、活性領域1aがアレイ状に配列形成されている。

【0065】次に図3に示すように、シリコン基板1の表面にゲート酸化膜3、ワード線WLと一体となったゲート電極4、ゲート上部絶縁膜5を形成する。このプロセスは以下の通りである。

【0066】まず、基板表面を酸化してゲート酸化膜3としての酸化膜を形成し、続いてこの酸化膜上にワード線WL及びゲート電極4としての不純物が添加されたポリシリコン膜等の導電膜、ゲート上部絶縁膜5としてのシリコン窒化膜等の第1の絶縁膜を形成した後、これら積層膜をパターンニングして所定形状のゲート酸化膜3、ワード線WL（ゲート電極4）、ゲート上部絶縁膜5を形成する。

【0067】この後、同図に示すように、ゲート上部絶縁膜5をマスクにして基板表面に不純物イオンを注入してシリコン基板1と逆導電型のソース・ドレイン拡散層6を自己整合的に形成する。

【0068】次に図4に示すように、全面にゲート側壁絶縁膜7となるシリコン窒化膜等の第2の絶縁膜を形成した後、この第2の絶縁膜の全面をRIEして、この第2の絶縁膜をゲート部3、4、5の側壁に選択的に残置させることにより、ゲート側壁絶縁膜7を形成する。

【0069】次に図5に示すように、全面にゲート側壁絶縁膜7間の溝を充填し、高さがゲート上部絶縁膜5のそれと一致した第1の層間絶縁膜8を形成する。第1の層間絶縁膜8の上面の高さは、必ずしもゲート上部絶縁膜5の上面の高さと一致させる必要はなく、若干高くても低くても構わない。このような層間絶縁膜8は、例えば、全面に層間絶縁膜8としての第3の絶縁膜を厚く形成した後、ゲート上部絶縁膜5の表面が露出するまで上記第3の絶縁膜の全面を研磨することで形成することができる。ここで、層間絶縁膜8の材料は、そのエッチング速度がゲート上部絶縁膜5及びゲート側壁絶縁膜6のそれよりも速いものを用いる。

【0070】次に図6に示すように、層間絶縁膜8上にプラグ電極形成用のレジストパターン9を形成する。ここでは、レジストパターン9となるフォトレジストとしてポジ型のものを使用する。この段階の平面図を図7に示す。

【0071】図16にレジストパターン9を形成するための露光マスクパターン（斜線領域は開口部）、図17にこの工程時におけるレジストパターン9と活性領域1aとワード線WLとゲート側壁絶縁膜7との位置関係を示す。

【0072】次に図8に示すように、ゲート上部絶縁膜

5、ゲート側壁絶縁膜 7 及びレジストパターン 9 をマスクにして層間絶縁膜 8 を基板表面が露出するまでエッチングする。

【0073】この結果、ゲート上部絶縁膜 5、ゲート側壁絶縁膜 7 及びレジストパターン 9 で囲まれたビット線プラグ電極を形成する BL プラグコンタクト領域 BP の基板表面、蓄積電荷プラグ電極を形成する SN プラグコンタクト領域 SP の基板表面が露出する。この段階の平面図を図 9 に示す。

【0074】ここで、本実施形態では、BL プラグコンタクト領域と、この BL プラグコンタクト領域が設けられた活性領域に対して、ワード線の配列方向に、隣り合う 2 つの活性領域のワード線の走る方向の距離の $1/2$ (半ピッチ) ずれて通過ワード線と交差する別の活性領域との間の領域、例えば、図 17 において点 P_1 、 P_2 、 P_3 、 P_4 を結んだ領域のゲート上部絶縁膜及びゲート側壁絶縁膜 7 をエッチングマスクに利用している。

【0075】すなわち、本実施形態では、従来はレジストが存在しエッチングマスクとして利用していなかった領域のゲート上部絶縁膜及びゲート側壁絶縁膜 7 をエッチングマスクとして利用している。この結果、レジストパターン 9 として、図 17 に示したような矩形パターン、つまり、凸部を有さないパターンを用いることができるようになる。

【0076】このような凸部を有さないレジストパターン 9 は、図 16 に示したような凸部を有さない露光マスクパターンを用いて形成できる。このような凸部を有さない露光マスクパターンは精度良くレジストに精度良く転写できる。したがって、本実施形態によれば、設計通りのメモリセルが得られ、高集積化が容易となる。

【0077】このような凸部を有さないレジストパターン 9 を用いることができるのは、BL プラグコンタクト領域 BP のワード線方向と平行な方向の寸法が F (最小の素子分離幅) より大きくしたことによる。

【0078】また、BL プラグコンタクト領域 BP のワード線と平行な方向の寸法は、最小の素子分離幅の 3 倍未満なので、ある活性領域 1a に設けたビット線プラグ電極が隣の活性領域 1a に接続するという不都合は生じない。

【0079】図 10 に示すように、全面にビット線プラグ電極 101、蓄積電荷プラグ電極 102 となる不純物を添加したポリシリコン膜を形成した後、このポリシリコン膜を CMP 又はエッチング等を用いて後退させ、BL プラグコンタクト領域 BP の溝内にビット線プラグ電極 101、SN プラグコンタクト領域 SP の溝内に蓄積電荷プラグ電極 102 をそれぞれ形成する。この後、同図に示すように、全面に第 2 の層間絶縁膜 11 を形成して表面を平坦化する。

【0080】次に図 11 に示すように、BL プラグコン

タクト領域 BP の中央部上の層間絶縁膜 11 を開口した後、ビット線 BL、ビット線上部絶縁膜 12、ビット線側壁絶縁膜 13 を形成する。ビット線 BL、ビット線上部絶縁膜 12、ビット線側壁絶縁膜 13 の形成方法は、ゲート電極 4、ゲート上部絶縁膜 5、ゲート側壁絶縁膜 6 のそれと同様である。ビット線上部絶縁膜 12、ビット線側壁絶縁膜 13 は例えばシリコン窒化膜である。

【0081】次に図 12 に示すように、全面に第 3 の層間絶縁膜 14 を形成して表面を平坦化する。ここで、層間絶縁膜 14 の材料としては、ビット線上部絶縁膜 12、ビット線側壁絶縁膜 13 のそれよりも速いものを用いる。

【0082】次に図 13 に示すように、フォトリソパターン 15 を形成する。このフォトリソパターン 15 としては、ワード線と平行な方向に延び、お互いに平行に並んで配列された線状のパターンを用いる。図 1 を用いて説明すると、矢視 C-C' 断面にはレジストが存在せず、矢視 B-B' 断面にレジストパターン 15 が線状に存在する。

【0083】次に同図に示すように、このフォトリソパターン 15、ビット線上部絶縁膜 12 及びビット線側壁絶縁膜 13 をマスクにして層間絶縁膜 14 を RIE して、蓄積電荷プラグ 102 と次工程で形成する蓄積電荷電極とを接続するためのコンタクトホールを形成する。

【0084】次に図 14 に示すように、蓄積電荷電極 16 を形成した後、図 15 に示すように、全面にキャパシタ絶縁膜 17、プレート電極 18 を順次形成する。この結果、蓄積電荷電極 16、キャパシタ絶縁膜 17 及びプレート電極 18 で構成された信号電荷を蓄積するためのスタック型のキャパシタが完成する。この後のプロセスは通常の DRAM プロセスと同様である。

【0085】なお、本実施形態では、矩形パターン以外の部分が開口部した露光マスクパターンを用いたが図 18 に示すような露光マスクパターン (斜線部が開口部) を用いても良い。図 19 に、図 17 に相当する図を示す。

【0086】このような露光マスクパターンを用いると、ビット線プラグと、このビット線プラグが設けられた活性領域の半ピッチ隣の活性領域との間の距離が短くなるので、寄生容量の低減化を図れるなどの効果が得られる。

【0087】また、この露光マスクパターンは凸部を有するが、本実施形態の場合、この凸部の先端角部 20 は転写後に図 20 に示すようにつながっても良いので問題はない (21 は開口部)。したがって、凸部のサイズがリソグラフィの解像度以下であっても良く、その作成は容易なものとなる。

【0088】さらに、図 21 に示すような露光マスクパターンを用いても良い (斜線部が開口部)。また、図 2

2に、図17に相当する図を示す。

【0089】このような露光マスクパターンを用いると、開口部の角部21における露光量が少なくなるので、角部21における丸まりによる転写パターンの忠実性の劣化を防止できるようになる。この露光マスクパターンも凸部を有するが、本実施形態の場合、この凸部の先端角部は転写後につながっても良いので問題はない。

【0090】(第2の実施形態) 図23は、本発明の第2の実施形態に係るメモリセル領域及び周辺領域のMOSトランジスタを示す断面図である。この断面図は、従来の図39(c)に対応した段階の断面図であり、メモリセル領域にソース・ドレイン電極が形成された段階の断面図を示している。周辺領域のMOSトランジスタは、DRAMの周辺領域のMOSトランジスタ、ロジックデバイスのMOSトランジスタ、又はこれら両方のMOSトランジスタである。

【0091】図中、31はp型シリコン基板を示しており、このp型シリコン基板31の表面には、素子分離(STI分離)のための素子分離絶縁膜32が埋め込み形成されている。

【0092】メモリセル領域(第1の素子領域)及び周辺領域(第2の素子領域)にはそれぞれ複数のMOSトランジスタが配列形成されている。メモリセル領域の複数のMOSトランジスタは直列接続されている。

【0093】メモリセル領域及び周辺領域にはそれぞれゲート酸化膜33を介してゲート電極34が形成され、ゲート電極34上にゲートキャップ絶縁膜としてのシリコン窒化膜35が形成されている。

【0094】メモリセル領域のゲート電極34間の基板表面には、n型ソース・ドレイン拡散層37が形成されている。また、メモリセル領域には、ゲート電極34に直接接するゲート側壁シリコン窒化膜38(第1のゲート側壁絶縁膜)が形成されている。ゲート側壁シリコン窒化膜38間のn型ソース・ドレイン拡散層37上には、ソース・ドレイン電極44が形成されている。

【0095】周辺領域のゲート電極34間の基板表面には、n型ソース・ドレイン拡散層(LDD)41が形成され、その外側にはより高不純物濃度のn型ソース・ドレイン拡散層43が形成されている。n型ソース・ドレイン拡散層43の不純物濃度は、メモリセル領域のn型ソース・ドレイン拡散層37のそれよりも高い。

【0096】また、周辺領域のゲート電極34間のチャネル長方向の距離(第2のゲート電極間距離)は、メモリセル領域のそれ(第1のゲート電極間距離)よりも長くなっている。また、周辺領域には、ゲート電極34に直接接し、かつゲート側壁シリコン窒化膜38よりも厚いゲート側壁シリコン窒化膜42(第2のゲート側壁絶縁膜)が形成されている。

【0097】図24、図25は、このように構成されたMOSトランジスタの形成方法を示す工程断面図であ

る。

【0098】この形成方法は、基本的に、メモリセル領域のMOSトランジスタを形成した後に、周辺領域のMOSトランジスタを形成することにより、メモリ領域の加工工程における熱工程の影響を、周辺領域の高不純物濃度のn型ソース・ドレイン拡散層43が受け難くすることにより、n型ソース・ドレイン拡散層43中の不純物の再拡散を防止するというものである。

【0099】まず、図24(a)に示すように、p型シリコン基板31の表面に浅い溝を形成し、この溝内に素子分離絶縁膜32を埋め込むことにより、素子分離(STI分離)を行なう。

【0100】次に同図(a)に示すように、基板全面にゲート酸化膜33を形成した後、このゲート酸化膜33上にゲート電極としての不純物が添加された多結晶シリコン膜34、ゲートキャップ絶縁膜としてのシリコン窒化膜35を順次形成する。

【0101】次に同図(a)に示すように、シリコン窒化膜35上にゲート電極形成用のレジストパターン36を形成する。このレジストパターン36は、メモリセル領域にゲート電極を形成するためのものであり、周辺領域の多結晶シリコン膜34を覆っている。

【0102】次に図24(b)に示すように、レジストパターン36をマスクにして、シリコン窒化膜35、多結晶シリコン膜34をエッチングして、メモリセル領域にゲートキャップ絶縁膜35、ゲート電極34を形成する。このときのエッチングには例えばRIE等の異方性エッチングを用いる。

【0103】次に同図(b)に示すように、レジストパターン36をマスクにして、基板表面にn型不純物イオンを注入した後、アニールを行なってメモリセル領域にn型ソース・ドレイン拡散層37を選択的に形成する。

【0104】次に図24(c)に示すように、レジストパターン36を剥離した後、メモリセル領域のMOSトランジスタに合わせた厚さのゲート側壁シリコン窒化膜38を形成する。このようなゲート側壁シリコン窒化膜38は、例えば、全面にシリコン窒化膜を堆積し、このシリコン窒化膜の全面をRIE法を用いてエッチングすることにより(いわゆる側壁残しにより)形成できる。

【0105】次に同図(c)に示すように、表面に形成された凹部を埋め込み、表面を平坦化する層間絶縁膜としてのシリコン酸化膜39を形成する。このようなシリコン酸化膜39は、例えば、表面の凹部の深さよりも厚いシリコン酸化膜39を形成した後、CMP又はエッチングを用いてシリコン酸化膜39をゲートキャップ絶縁膜35の上面まで後退させることにより形成できる。

【0106】次に図25(a)に示すように、周辺領域にゲート電極を形成するためのレジストパターン40を形成する。このレジストパターン40はメモリセル領域を覆っている。

【0107】なお、ゲート側壁シリコン窒化膜38を形成した後、メモリセル領域を加工せずに、つまり、シリコン酸化膜39を形成せずに直接レジストパターン40を形成しても良い。

【0108】次に図25(b)に示すように、レジストパターン40をマスクにして、シリコン窒化膜35、結晶シリコン膜34をエッチングして、周辺領域にゲートキャップ絶縁膜35、ゲート電極34を形成する。このときのエッチングにもRIE等の異方性エッチングを用いる。

【0109】次に同図(b)に示すように、レジストパターン40をマスクにして、基板表面にn型不純物イオンを注入し、周辺領域にn型ソース・ドレイン拡散層(LDD)41を選択的に形成する。

【0110】次に図25(c)に示すように、レジストパターン40を剥離した後、露出しているゲート酸化膜33を例えば希フッ酸を用いて除去する。

【0111】次に同図(c)に示すように、全面にゲート側壁シリコン窒化膜42となるシリコン窒化膜を堆積した後、このシリコン窒化膜の全面をRIEすることにより、周辺領域のMOSトランジスタに合わせた厚さのゲート側壁シリコン窒化膜42を形成する。この周辺領域のゲート側壁シリコン窒化膜42の厚さは、メモリセル領域のそれよりも厚い。

【0112】次に同図(c)に示すように、シリコン窒化膜35、38、42、シリコン酸化膜39をマスクにして、基板表面にn型不純物イオンを注入し、周辺領域に高不純物濃度のn型ソース・ドレイン拡散層43を選択的に形成する。

【0113】最後に、メモリセル領域のシリコン酸化膜39を選択的に除去した後、メモリセル領域にソース・ドレイン電極44を形成して、図23に示した構造が得られる。シリコン酸化膜39の選択除去は、例えば、周辺領域をレジストで覆い、ゲート側壁シリコン窒化膜38よりもエッチング速度が十分に速くなる条件で、シリコン酸化膜39をエッチングすれば良い。この後の工程は従来と同じであり、層間絶縁膜の形成工程、周辺領域のソース・ドレイン電極の形成工程等の工程が続く。

【0114】本実施形態では、図24(b)に示したn型ソース・ドレイン拡散層37の形成工程(アニール工程)や、図24(c)に示したシリコン酸化膜39の形成工程等の工程においては、周辺領域にはまだ高不純物濃度のn型ソース・ドレイン拡散層37が存在しない。これらの工程に伴う加熱により、n型ソース・ドレイン拡散層37内の不純物が再拡散し、素子特性(装置性能)が劣化するという問題は原理的に存在しない。

【0115】一方、従来方法の場合、前述したように、図39(a)に示した層間絶縁膜211を形成する工程において、周辺領域には高不純物濃度のn型ソース・ドレイン拡散層210が既に存在する。このため、層間絶

縁膜211の成膜に伴う加熱により、n型ソース・ドレイン拡散層210内の不純物が再拡散し、素子特性(装置性能)が劣化するという問題がある。

【0116】また、従来方法では、メモリセル領域及び周辺領域のゲート電極を共通の1回のフォトリソグラフィ工程により形成しているのに対し、本実施形態では、メモリセル領域及び周辺領域のゲート電極をそれぞれ別のフォトリソグラフィ工程で形成しているが、フォトリソグラフィ工程数は従来と変わらない。

10 【0117】すなわち、ソース・ドレイン電極を形成するまでについて考えると、本実施形態の場合、図24(a)の工程、図25(a)の工程及びソース・ドレイン電極44の形成工程の3つの工程でフォトリソグラフィ工程を使用し、従来方法の場合は、図39(a)の工程、図39(c)の工程及び図40(b)の工程の3つの工程でフォトリソグラフィ工程を使用している。

20 【0118】これは、本実施形態では、周辺領域(メモリセル領域)を覆うレジストパターン36(40)を用いて、メモリセル領域(周辺領域)上の多結晶シリコン膜34を選択的にエッチングし、メモリセル領域(周辺領域)にゲート電極34を形成し、そして、この工程で使用したレジストパターン36(40)をマスクにして、周辺領域(メモリセル領域)に不純物を選択的に導入し、n型ソース・ドレイン拡散層37(40)を形成しているからである。

30 【0119】すなわち、共通のレジストパターンでゲート電極及びn型ソース・ドレイン拡散層を形成できる。このため、メモリセル領域及び周辺領域のゲート電極34をそれぞれ別のレジストパターン36、40で形成しても、フォトリソグラフィ工程数の増加を抑制できる。なお、n型ソース・ドレイン拡散層43は自己整合的に形成でき、レジストパターンは不要である。

【0120】従来は、メモリセル領域及び周辺領域のゲート電極204を共通のレジストパターン205で形成していたが、n型ソース・ドレイン拡散層210を形成する際に別のレジストパターンを用いていた。

【0121】(第3の実施形態)図26は、本発明の第3の実施形態に係るメモリセル領域及び周辺領域のMOSトランジスタの形成方法を示す工程断面図である。

40 【0122】本実施形態が第2の実施形態と主として異なる点は、メモリセル領域と周辺領域とで異なる種類のゲート側壁絶縁膜をゲート電極の側壁に直接形成することにある。

50 【0123】まず、第2の実施形態の図24(c)に示したゲート側壁シリコン窒化膜38(第1のゲート側壁絶縁膜)の形成工程に引き続いて、図26(a)に示すように、周辺領域にゲート電極を形成するためのレジストパターン40を形成する。次に同図(a)に示すように、レジストパターン40をマスクにして、シリコン窒化膜35、多結晶シリコン膜34、ゲート酸化膜33を

エッチングして、周辺領域にゲートキャップ絶縁膜 35、ゲート電極 34 を形成するとともに、n 型ソース・ドレイン拡散層 41 となる領域の基板表面を露出させる。

【0124】次に同図 (a) に示すように、レジストパターン 40 をマスクにして、露出した基板表面に n 型不純物イオンを注入した後、アニールを行なって、周辺領域に n 型ソース・ドレイン拡散層 41 を形成する。

【0125】次に図 26 (b) に示すように、レジストパターン 40 を剥離した後、全面に周辺領域のゲート側壁シリコン酸化膜となるシリコン酸化膜 45 (第 2 のゲート側壁絶縁膜) を形成する。この後、同図 (b) に示すように、シリコン酸化膜 45 上にメモリセル領域を覆うレジストパターン 46 を形成する。

【0126】次に図 26 (c) に示すように、レジストパターン 46 をマスクにして、シリコン酸化膜 45 を RIE し、周辺領域の MOS トランジスタに合わせた厚さのゲート側壁シリコン酸化膜 45 を形成する。

【0127】このゲート側壁シリコン酸化膜 45 は、ゲート側壁シリコン窒化膜 42 よりも厚い。また、ゲート側壁シリコン酸化膜 45 は、周辺領域の MOS トランジスタのゲート電極 34 の側壁に直接接するとともに、メモリセル領域の MOS トランジスタのゲート電極 34 の側壁にゲート側壁シリコン窒化膜 38 を介して間接的に接する。

【0128】このようにゲート側壁絶縁膜として、ゲート側壁シリコン窒化膜の代わりに、ゲート側壁シリコン酸化膜 45 を用いると、以下のような効果が得られる。

【0129】すなわち、周辺領域のゲート電極 34 として、B (ボロン) が添加された多結晶シリコン膜を用いた場合に、ゲート側壁シリコン窒化膜を用いると、ボロンのゲート酸化膜 33 の突抜けが加速されるが、ゲート側壁シリコン酸化膜にはこのようなボロンの突抜けつきぬけの問題はない。

【0130】ボロンの突抜けが起こると、チャネル領域の不純物濃度が変化し、しきい値電圧が変化し、設計通りに素子が動作しなくなる。したがって、ボロンの突抜けを防止することは重要である。

【0131】次に同図 (c) に示すように、ゲートキャップ絶縁膜 35、ゲート側壁シリコン酸化膜 45、レジストパターン 46 をマスクにして、基板表面に n 型不純物イオンを注入し、周辺領域に高不純物濃度のソース・ドレイン拡散層 43 を形成する。なお、レジストパターン 46 を剥離した後にイオン注入を行なってソース・ドレイン拡散層 43 を形成しても良い。

【0132】次にレジストパターン 46 を剥離する。この後の工程は、第 2 の実施形態の図 25 (c) の後の工程と同様である。

【0133】本実施形態でも、第 2 の実施形態と同様の効果が得られる。また、本実施形態によれば、メモリ領

域のゲート電極 34 の側壁に直接接するゲート側壁絶縁膜及び周辺領域のそれとしてそれぞれ別の種類の絶縁膜を選ぶことができるので、上述したように、周辺領域のゲート電極 34 として、B が添加された多結晶シリコン膜を用いても、B の突抜けつきぬけの問題は起こらない。

【0134】なお、レジストパターン 46 を形成せずに、シリコン酸化膜 45 の全面を RIE して、ゲート側壁シリコン酸化膜 45 を形成することも可能である。このような方法を用いれば工程数の低減化を図れる。

【0135】(第 4 の実施形態) 図 27、図 28 は、本発明の第 4 の実施形態に係るメモリセル領域及び周辺領域の MOS トランジスタの形成方法を示す工程断面図である。本実施形態は、メモリセル領域にソース・ドレイン電極 44 を形成した後、周辺領域にゲート電極 35 を形成する例である。

【0136】まず、第 2 の実施形態の図 24 (a) に示す工程に引き続いて、図 27 (a) に示すように、レジストパターン 36 をマスクにして、シリコン窒化膜 35、多結晶シリコン膜 34、ゲート酸化膜 33 をエッチングして、メモリセル領域にゲートキャップ絶縁膜 35、ゲート電極 34 を形成するとともに、n 型ソース・ドレイン拡散層 37 となる領域の基板表面を露出させる。

【0137】次に同図 (a) に示すように、レジストパターン 36 をマスクにして、露出した基板表面に n 型不純物イオンを注入し、メモリセル領域に n 型ソース・ドレイン拡散層 37 を形成する。

【0138】次に図 24 (b) に示すように、レジストパターン 36 を剥離した後、n 型ソース・ドレイン拡散層 37 上にソース・ドレイン電極 44 を形成する。

【0139】ソース・ドレイン電極 44 の具体的な形成方法としては、例えば、まず、不純物が添加された多結晶シリコン膜を全面に形成し、次いでこの多結晶シリコン膜を平坦化してその高さをゲートキャップ絶縁膜 35 に上面に合わせ、最後にフォトリソグラフィとエッチングを用いて n 型ソース・ドレイン拡散層 37 以外の領域の多結晶シリコン膜を除去する方法があげられる。

【0140】この場合、不純物を活性化させて、多結晶シリコン膜の抵抗を下げるための熱処理 (アニール) が必要になるが、この熱処理は周辺領域の高不純物濃度のソース・ドレイン拡散層を形成する前に行なうので、再拡散の問題はない。

【0141】また、他の方法としては、n 型ソース・ドレイン拡散層 37 上にタングステンやシリコンを異方的に選択成長させ、ソース・ドレイン電極 44 を自己整合的に形成する方法があげられる。この場合、フォトリソグラフィを用いる必要がないので、フォトリソグラフィの工程数の削減化を図ることができる。また、選択成長は、周辺領域の高不純物濃度のソース・ドレイン拡散層

を形成する前に行なうので、再拡散の問題はない。

【0142】次に図27(c)に示すように、周辺領域にゲート電極を形成するためのレジストパターン40を形成する。

【0143】次に図28(a)に示すように、レジストパターン40をマスクにして、シリコン窒化膜35、多結晶シリコン膜34をエッチングし、周辺領域にゲートキャップ絶縁膜35、ゲート電極34を形成する。このときのエッチングには例えばRIE等の異方性エッチングを用いる。

【0144】次に同図(a)に示すように、レジストパターン40をマスクにして、基板表面にn型不純物イオンを注入し、周辺領域にn型ソース・ドレイン拡散層(LDD)41を形成する。

【0145】次に図28(b)に示すように、レジストパターン40を剥離した後、露出しているゲート酸化膜33を例えば希フッ酸を用いて除去する。

【0146】次に図28(c)に示すように、全面にゲート側壁シリコン窒化膜41となるシリコン窒化膜を堆積した後、このシリコン窒化膜を例えばCMP又はエッチングによりゲートキャップ絶縁膜(シリコン窒化膜)35まで後退させ、周辺領域のMOSトランジスタに合わせた厚さのゲート側壁シリコン窒化膜41を形成する。

【0147】次に同図(c)に示すように、シリコン窒化膜35、41、ソース・ドレイン電極44をマスクにして、基板表面にn型不純物イオンを注入し、周辺領域に高不純物濃度のn型ソース・ドレイン拡散層42を形成する。

【0148】この後の工程は従来と同じであり、層間絶縁膜の形成工程、周辺領域のソース・ドレイン電極の形成工程等の工程が続く。

【0149】本実施形態でも、第2の実施形態と同様の効果が得られる。さらに本実施形態によれば、第2の実施形態にはない以下のような効果も得られる。すなわち、ソース・ドレイン電極44は、周辺領域の高不純物濃度のソース・ドレイン拡散層42を形成する前に行なうので、ソース・ドレイン電極44の形成工程に起因するソース・ドレイン拡散層42の再拡散を確実に防止できる。例えば、ソース・ドレイン電極44となる導電膜を形成した後に、該導電膜を整形するために行なう熱処理による再拡散を防止できる。

【0150】また、メモリセル領域のソース・ドレイン電極44を選択成長により形成すれば、第1の実施形態よりも少ないフォトリソグラフィ工程数で済む。具体的には、メモリセル領域及び周辺領域に同じ厚さのゲート側壁絶縁膜を形成する場合と同じフォトリソグラフィ工程数で済む。また、マスクの合わせずれに起因する問題も起こりにくくなる。また、少ない合わせマージンで済み、さらなる高集積化が可能となる。

【0151】なお、本発明は上記実施形態に限定されるものではない。例えば、第1の実施形態では、活性領域の幅が最小の素子分離幅Fと等しい場合について説明したが、活性領域の幅は最小の素子分離幅Fよりも大きくても良い。

【0152】また、第1の実施形態では各活性領域に2つのMOSトランジスタを形成したが、3つ以上のMOSトランジスタを形成しても良い。さらにまた、従来の技術で示した図32の形の活性領域171aに対してビット線コンタクトを形成する場合にも、本発明は適用可能である。

【0153】さらに、第1の実施形態では、ビット線をキャパシタよりも下方に先に形成する方法を述べたが、逆にビット線をキャパシタよりも上方に後に形成する方法に対しても本発明は適用可能である。

【0154】その他、本発明の技術的範囲で、種々変形して実施できる。

【0155】

【発明の効果】以上詳述したように本発明によれば、コンタクト領域における凸状に延在した領域の有する複数の配線群の走る方向の長さXを、複数の配線群の走る方向における素子分離領域の幅 L_1 よりも長くしたことにより、従来よりも正確に転写できる露光マスクパターンを使用できるようになるので、高集積化が容易になる。また、複数の配線群の走る方向における複数の活性領域群の各々の幅を L_2 としたときに、 $X < 2L_1 + L_2$ なる関係を満たしているのので、ある活性領域に対するコンタクト領域が他の活性領域にかかるという不都合は生じない。

【0156】また、本発明では、第2の素子領域のMOSトランジスタは、基本的には、第1の素子領域のMOSトランジスタの後に形成される。このため、第1の素子領域の加工工程における熱工程の影響を第3の拡散層は受け難くなる。これにより、第1、第2の素子領域にそれぞれ設計通りの不純物濃度の拡散層を有するMOSトランジスタを形成でき、装置(素子)の高性能化を容易に実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るスタック型メモリセルを用いたDRAMの平面図

【図2】図1のDRAMの製造方法を示す工程断面図

【図3】図1のDRAMの製造方法を示す工程断面図

【図4】図1のDRAMの製造方法を示す工程断面図

【図5】図1のDRAMの製造方法を示す工程断面図

【図6】図1のDRAMの製造方法を示す工程断面図

【図7】図6の工程のDRAMの平面図

【図8】図1のDRAMの製造方法を示す工程断面図

【図9】図8の工程のDRAMの平面図

【図10】図1のDRAMの製造方法を示す工程断面図

【図11】図1のDRAMの製造方法を示す工程断面図

【図 12】図 1 の DRAM の製造方法を示す工程断面図
 【図 13】図 1 の DRAM の製造方法を示す工程断面図
 【図 14】図 1 の DRAM の製造方法を示す工程断面図
 【図 15】図 1 の DRAM の製造方法を示す工程断面図
 【図 16】図 1 の DRAM の製造において使用するレジストパターンを作成するための露光マスクパターンを示す図

【図 17】図 16 の露光マスクパターンを用いて作成したレジストパターンと活性領域とワード線とゲート側壁絶縁膜との位置関係を示す平面図

【図 18】図 1 の DRAM の製造において使用するレジストパターンを作成するための他の露光マスクパターンを示す図

【図 19】図 18 の露光マスクパターンを用いて作成したレジストパターンと活性領域とワード線とゲート側壁絶縁膜と位置関係を示す平面図

【図 20】図 18 の露光マスクパターンの効果を説明するための図

【図 21】図 1 の DRAM の製造において使用するレジストパターンを作成するためのさらに別の露光マスクパターンを示す図

【図 22】図 21 の露光マスクパターンを用いて作成したレジストパターンと活性領域とワード線とゲート側壁絶縁膜との位置関係を示す平面図

【図 23】本発明の第 2 の実施形態に係るメモリセル領域及び周辺領域の MOS トランジスタを示す断面図

【図 24】図 23 の MOS トランジスタの前半の製造方法を示す工程断面図

【図 25】図 23 の MOS トランジスタの後半の製造方法を示す工程断面図

【図 26】本発明の第 3 の実施形態に係るメモリセル領域及び周辺領域の MOS トランジスタの形成方法を示す工程断面図

【図 27】本発明の第 4 の実施形態に係るメモリセル領域及び周辺領域の MOS トランジスタの前半の形成方法を示す工程断面図

【図 28】本発明の第 4 の実施形態に係るメモリセル領域及び周辺領域の MOS トランジスタの後半の形成方法を示す工程断面図

【図 29】従来のスタック型メモリセルを用いた DRAM の平面図

【図 30】図 29 の DRAM の断面図

【図 31】図 30 の DRAM のビット線プラグ電極のパターンを示す図

【図 32】図 30 の DRAM の活性領域のパターンを示す図

【図 33】図 30 の DRAM のビット線プラグ電極及び活性領域の位置関係を示す平面図

【図 34】従来の他のスタック型メモリセルを用いた DRAM の平面図

【図 35】図 34 の DRAM の断面図

【図 36】図 35 の DRAM のビット線プラグ電極のパターンを示す図

【図 37】図 35 の DRAM の活性領域のパターンを示す図

【図 38】図 35 の DRAM のビット線プラグ電極及び活性領域の位置関係を示す平面図

【図 39】従来のメモリセル領域及び周辺領域の MOS トランジスタの前半の形成方法を示す工程断面図

10 【図 40】従来のメモリセル領域及び周辺領域の MOS トランジスタの後半の形成方法を示す工程断面図

【符号の説明】

1…シリコン基板

1a…活性領域

2…素子分離絶縁膜

3…ゲート酸化膜

4…ゲート電極、ワード線（配線群）

5…ゲート上部絶縁膜（第 1 の絶縁膜）

6…ソース・ドレイン拡散層

20 7…ゲート側壁絶縁膜（第 2 の絶縁膜）

8…第 1 の層間絶縁膜

9…レジストパターン

101…ビット線プラグ電極

102…蓄積電荷プラグ電極

11…第 2 の層間絶縁膜

12…ビット線上部絶縁膜

13…ビット線側壁絶縁膜

14…第 3 の層間絶縁膜

15…レジストパターン

30 16…蓄積電荷電極

17…キャパシタ絶縁膜

18…プレート電極

31…シリコン基板

32…素子分離絶縁膜

33…ゲート酸化膜

34…ゲート電極

35…ゲートキャップ絶縁膜（シリコン窒化膜）

36…レジストパターン

37…n 型ソース・ドレイン拡散層（第 1 の拡散層）

40 38…ゲート側壁シリコン窒化膜（第 1 のゲート側壁絶縁膜）

39…層間絶縁膜（シリコン酸化膜）

40…レジストパターン

41…n 型ソース・ドレイン拡散層（LDD；第 2 の拡散層）

42…ゲート側壁シリコン窒化膜（第 2 のゲート側壁絶縁膜）

43…n 型ソース・ドレイン拡散層（第 3 の拡散層）

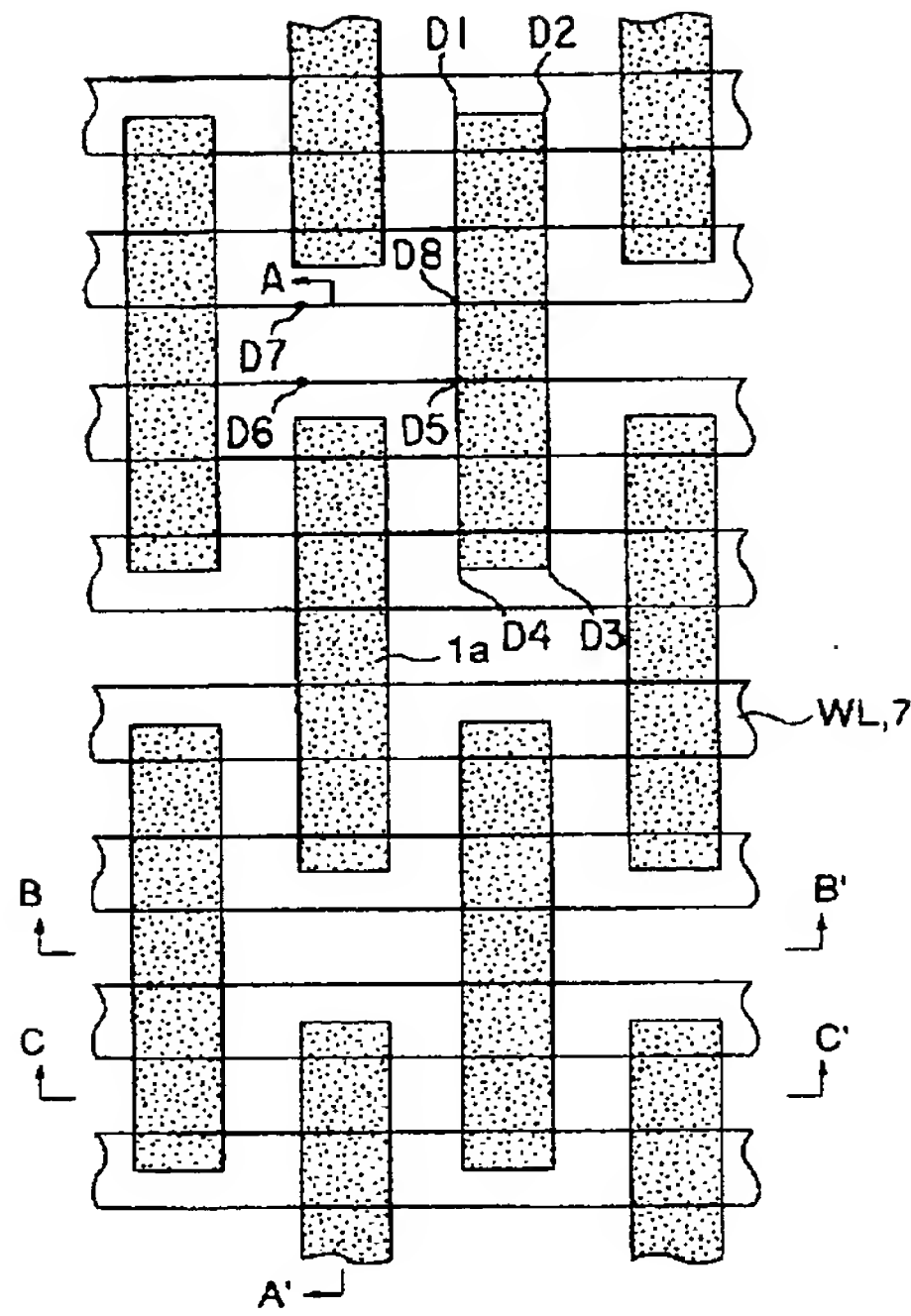
44…ソース・ドレイン電極

50 45…ゲート側壁シリコン酸化膜（第 2 のゲート側壁絶

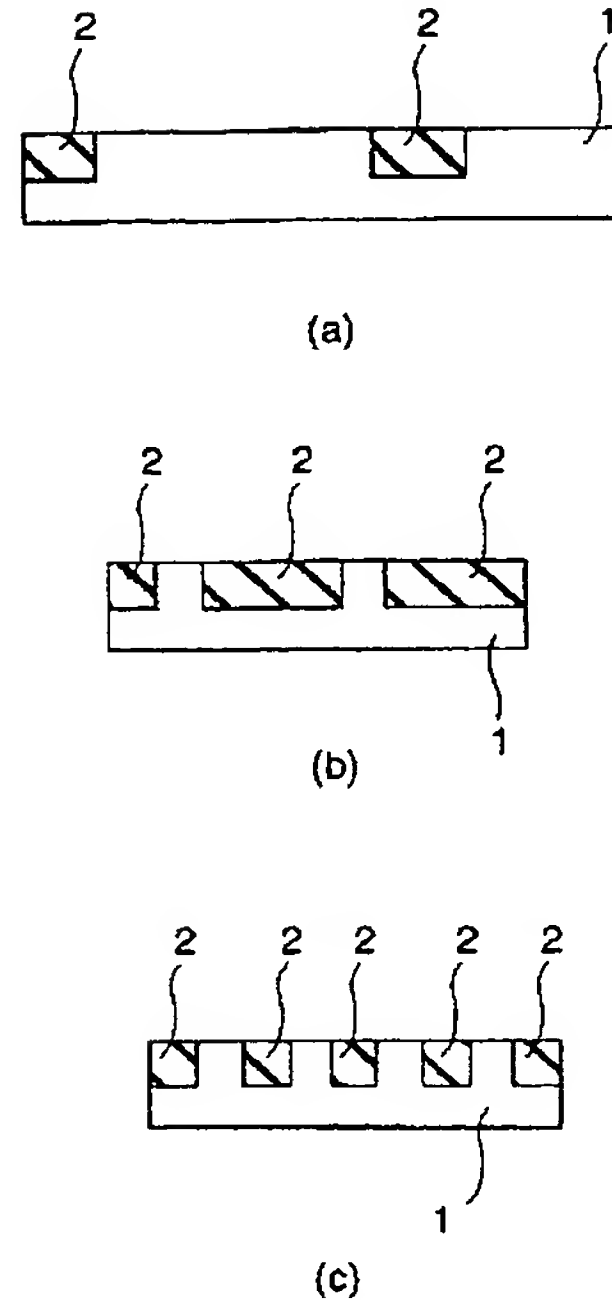
縁膜)

46...レジストパターン

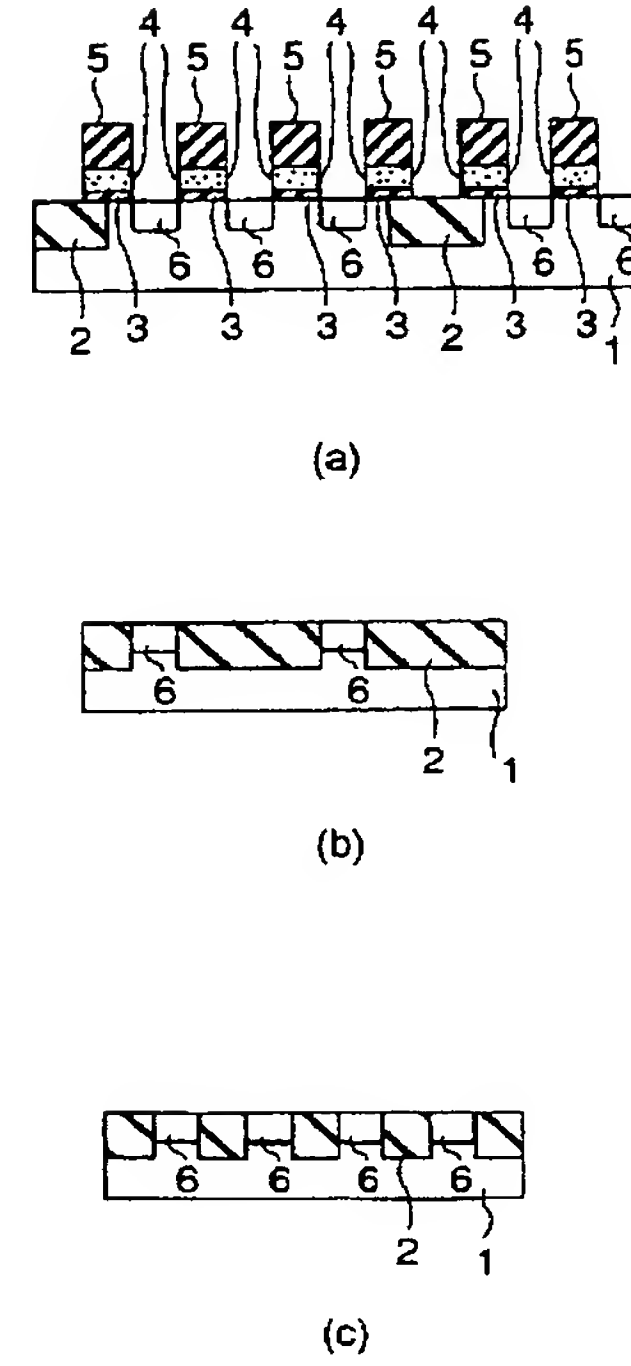
【図1】



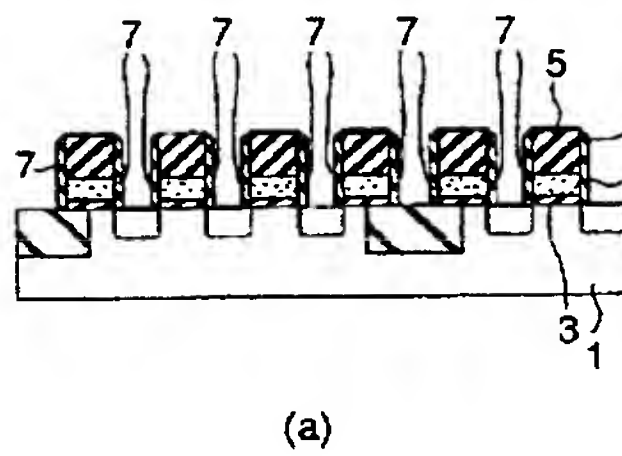
【図2】



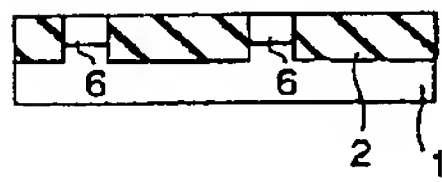
【図3】



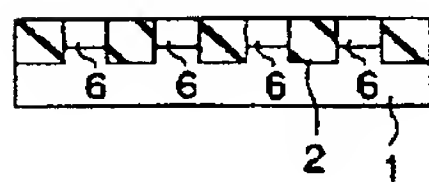
【図4】



(a)

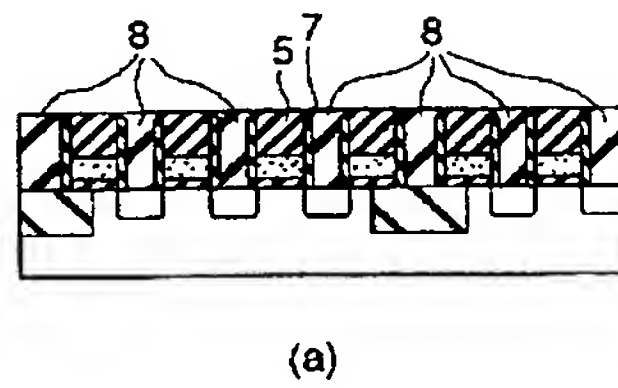


(b)

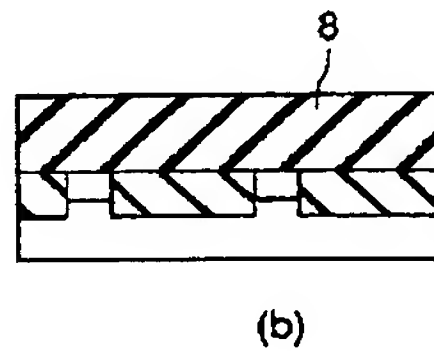


(c)

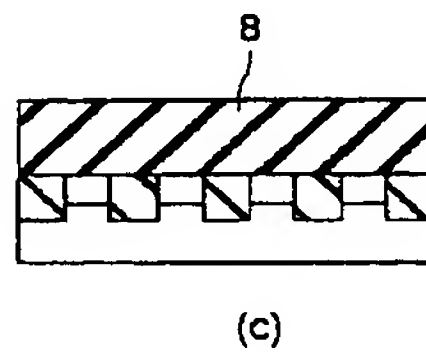
【図5】



(a)

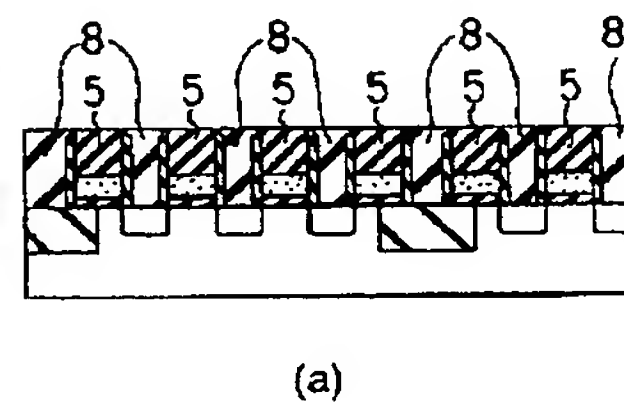


(b)

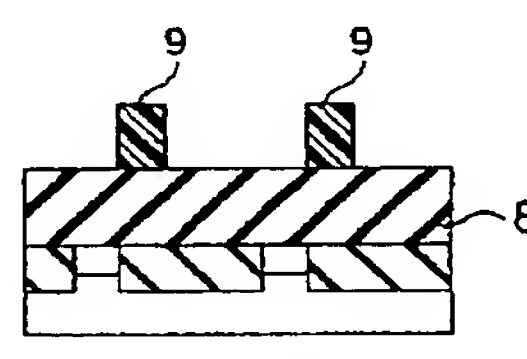


(c)

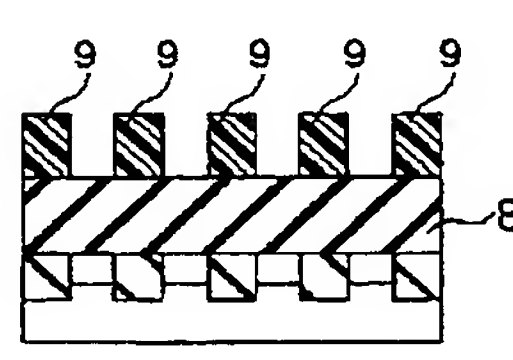
【図6】



(a)

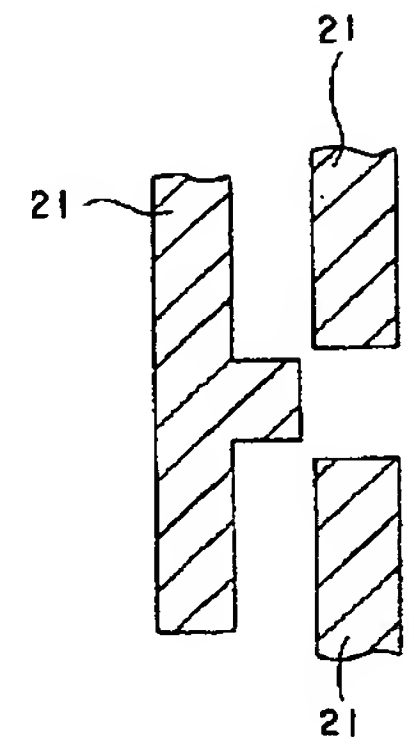


(b)

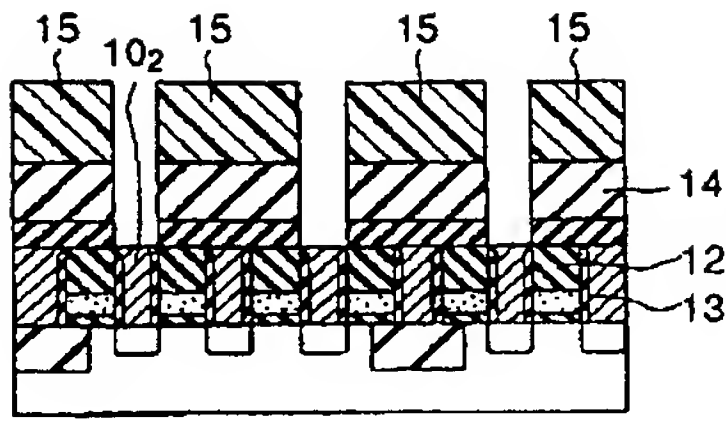


(c)

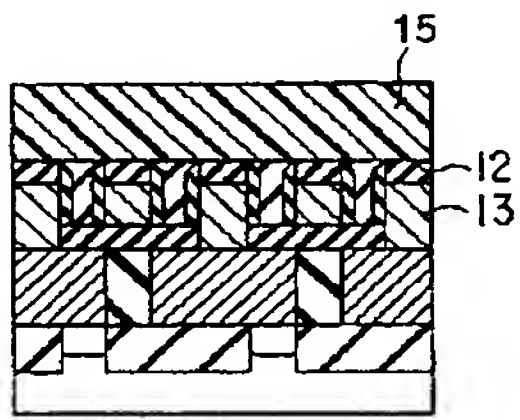
【図20】



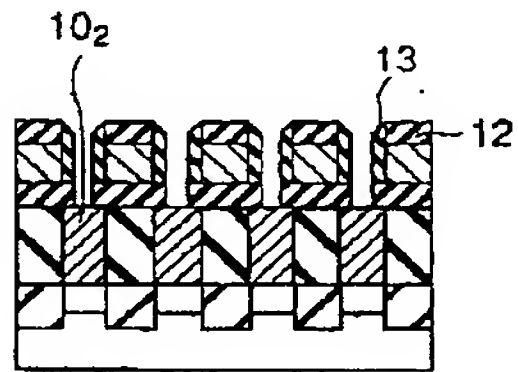
【図13】



(a)

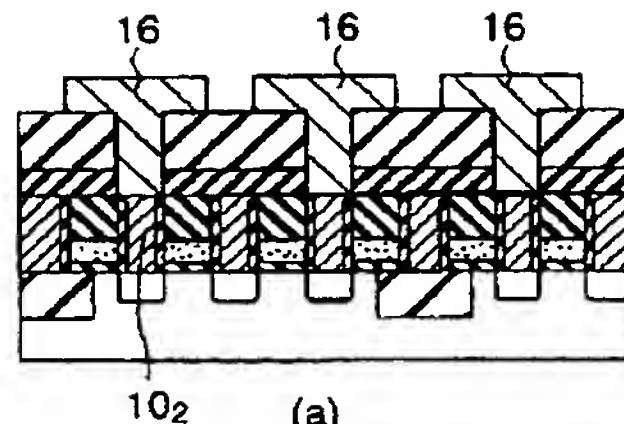


(b)

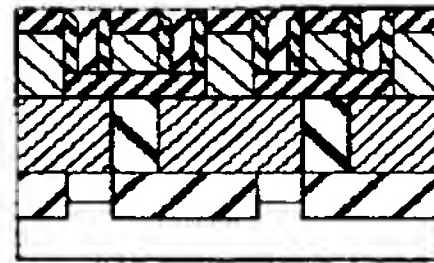


(c)

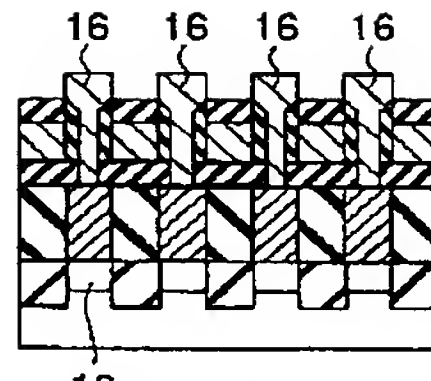
【図14】



(a)

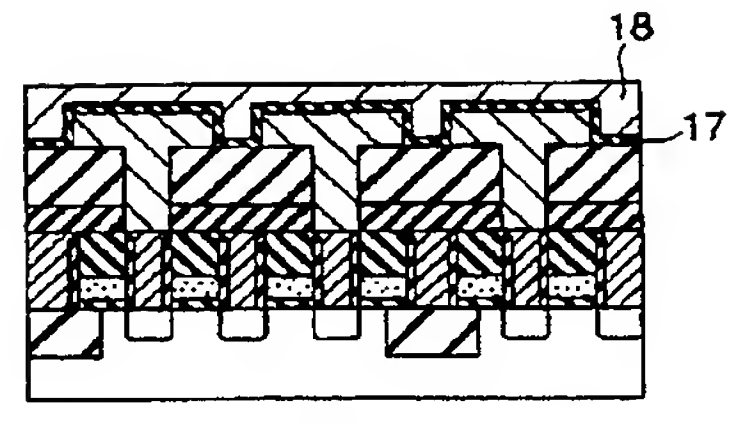


(b)

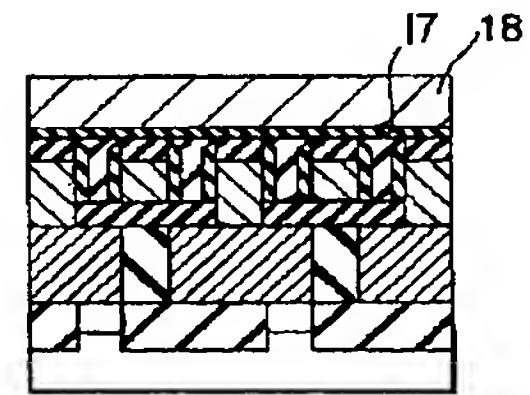


(c)

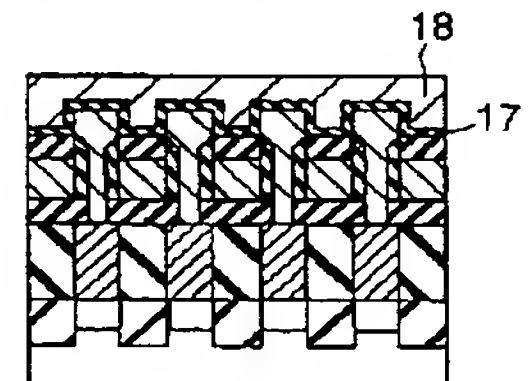
【図15】



(a)

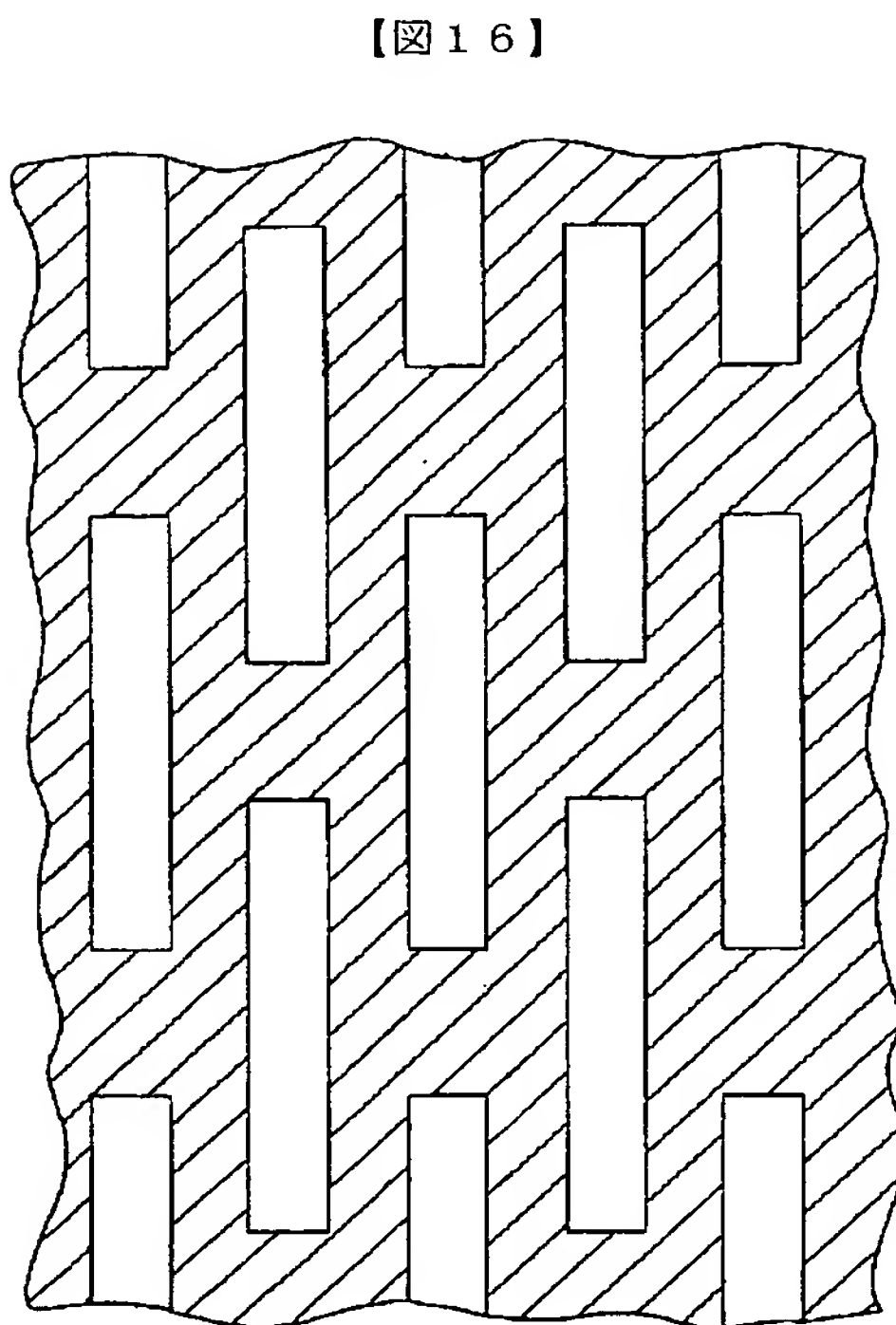


(b)

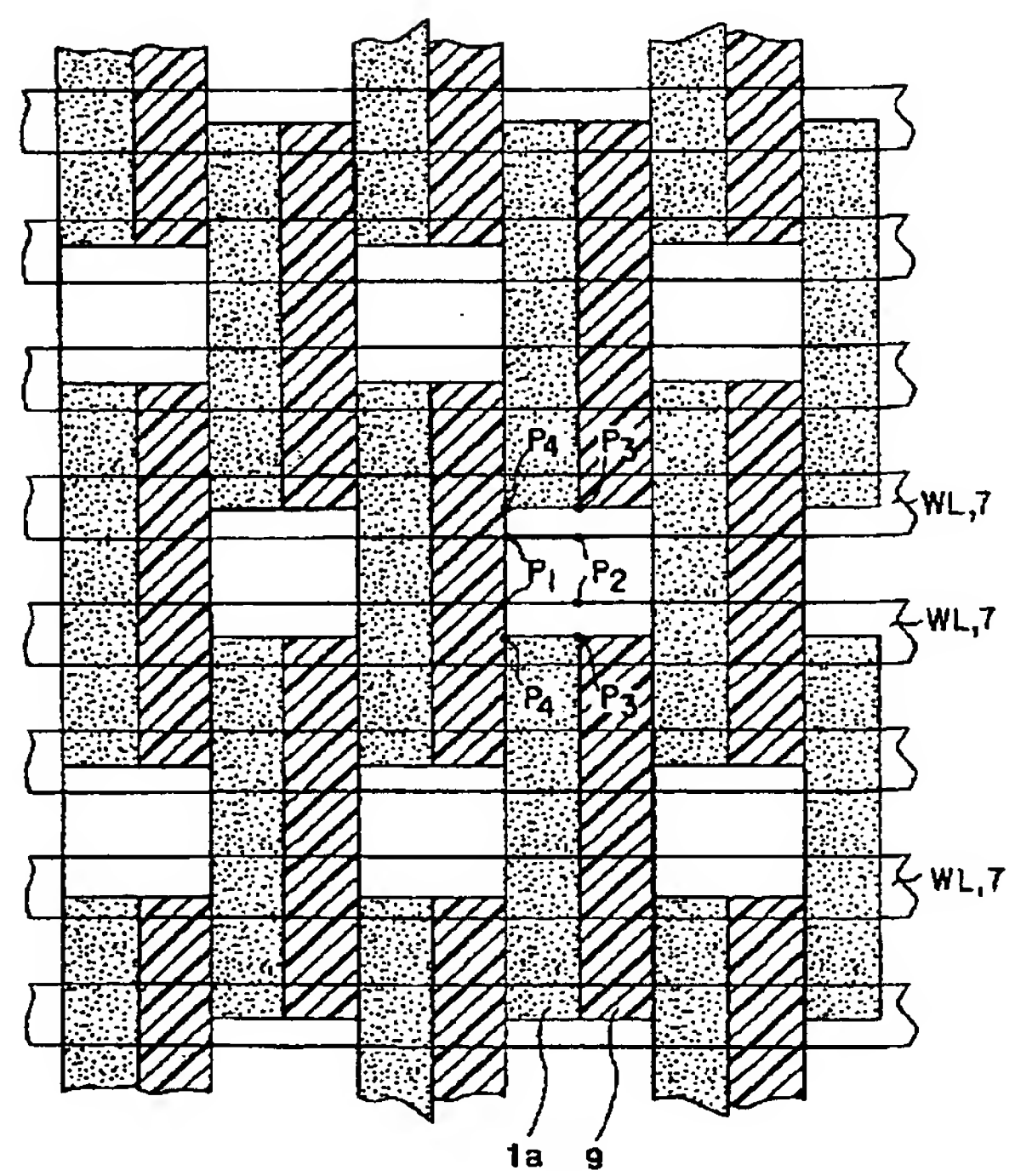


(c)

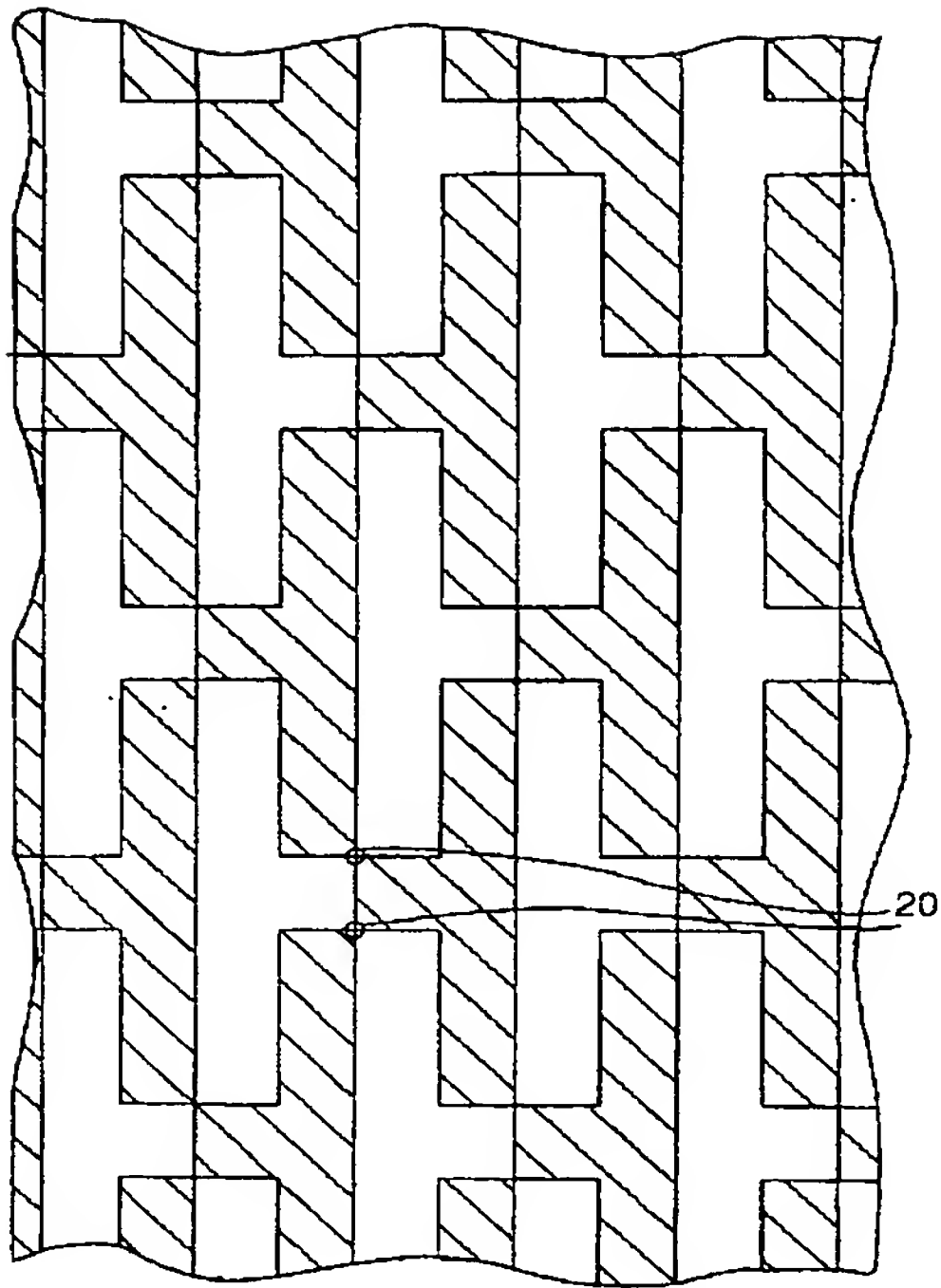
【図17】



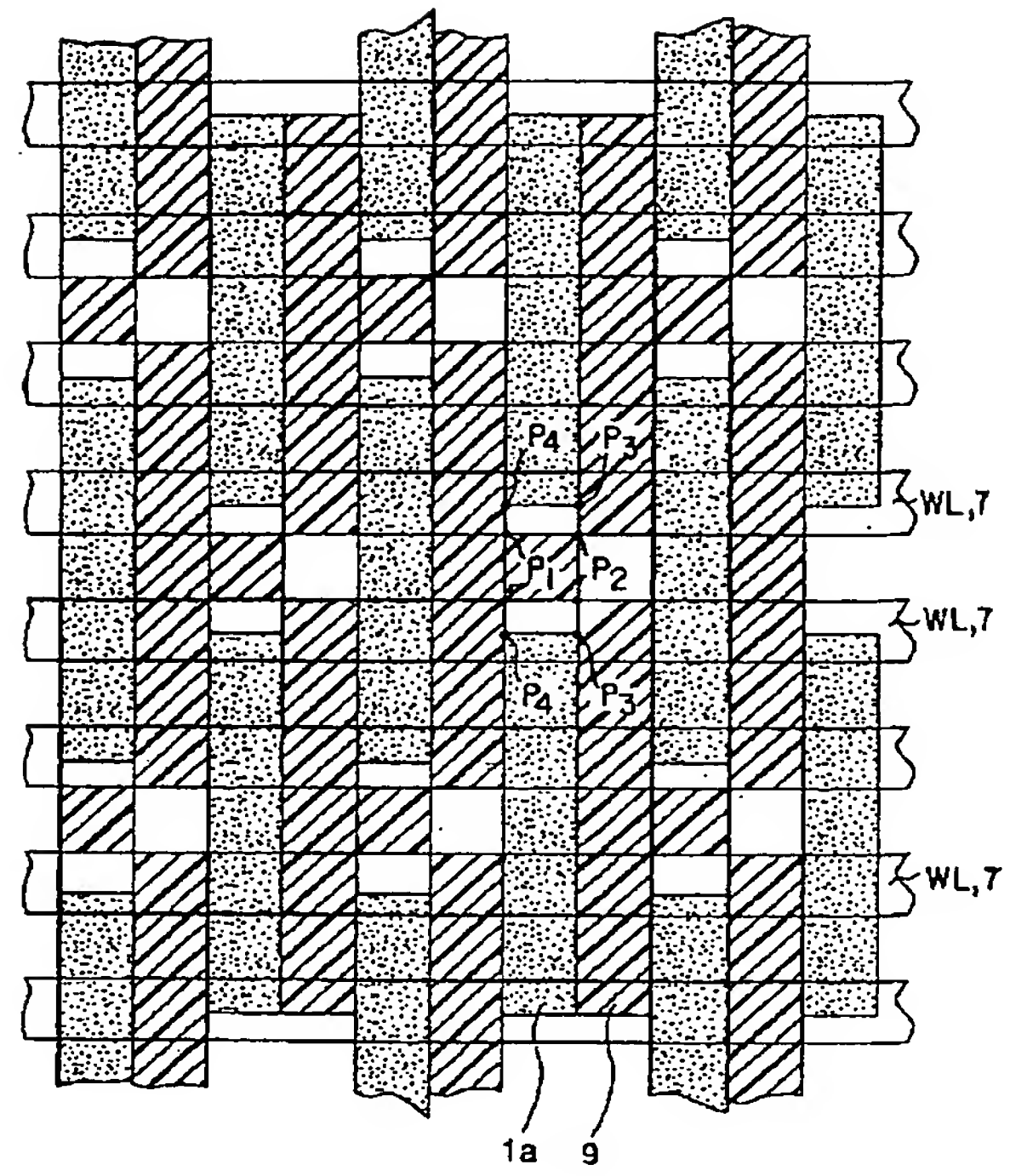
【図16】



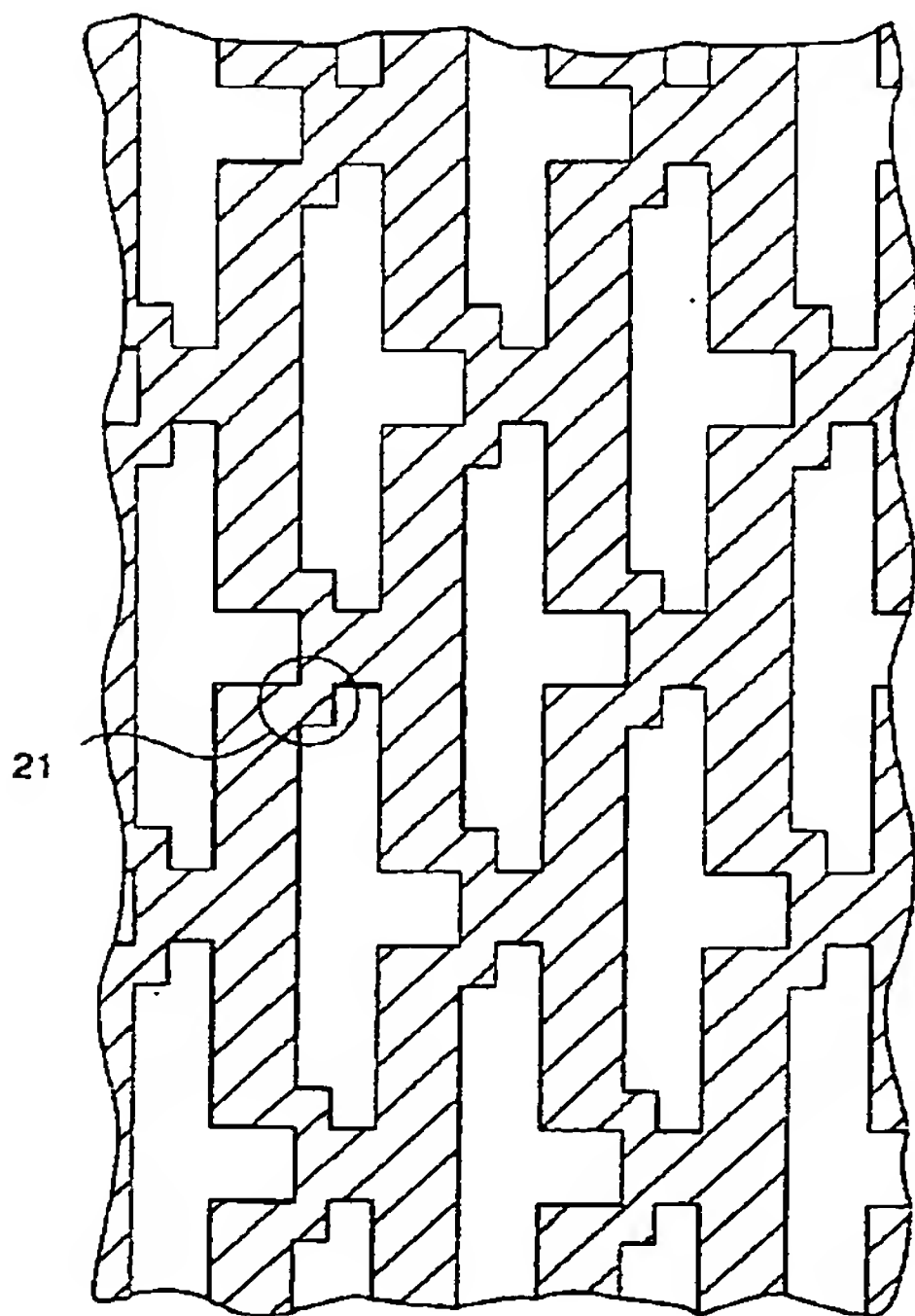
【図18】



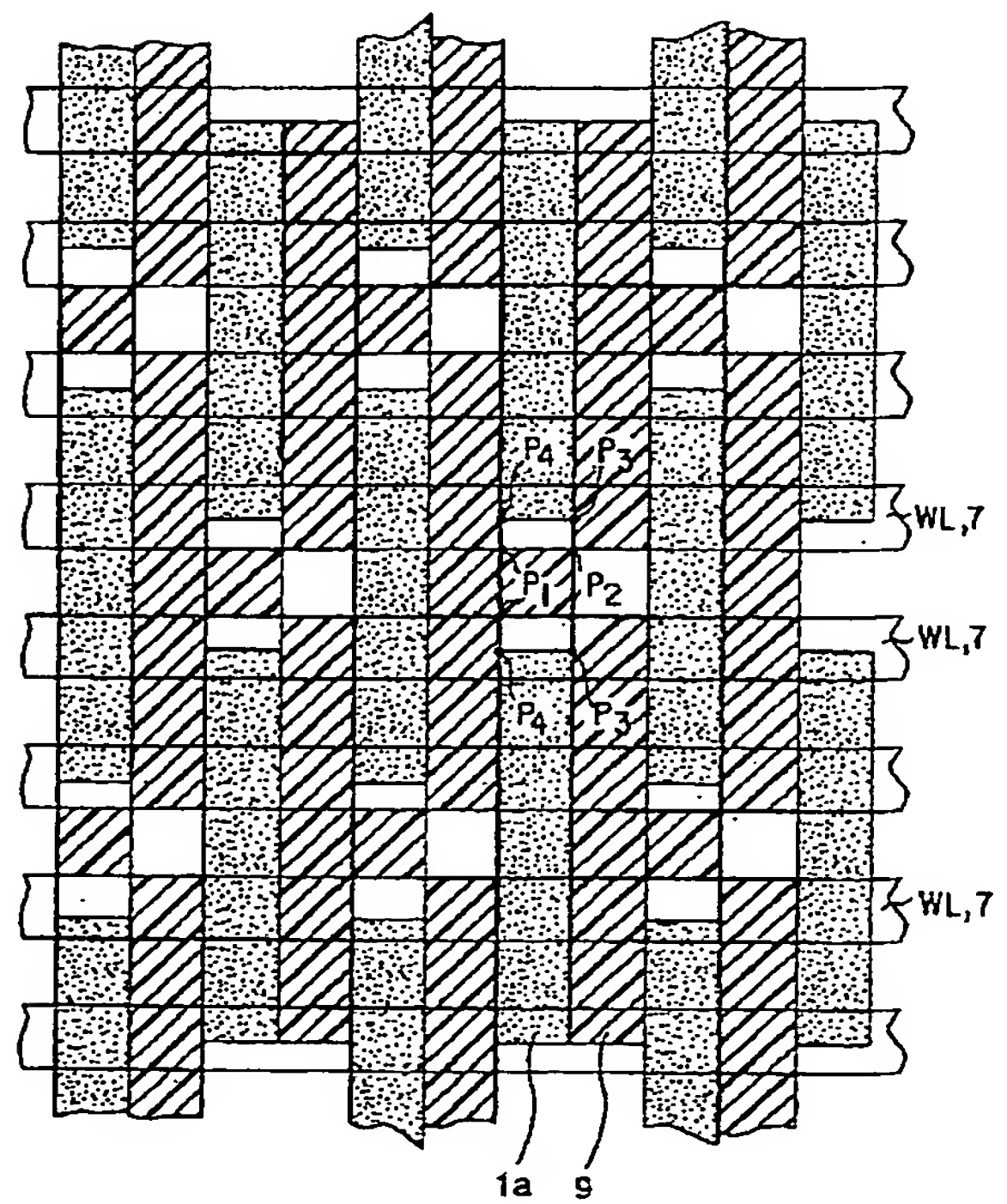
【図19】



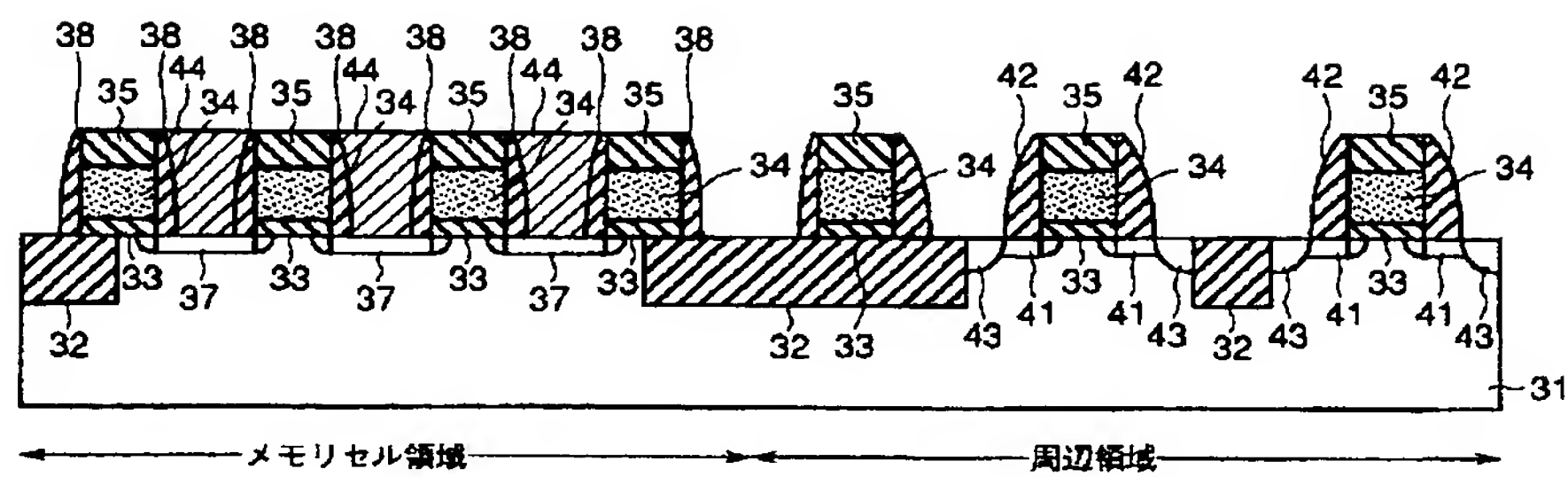
【図21】



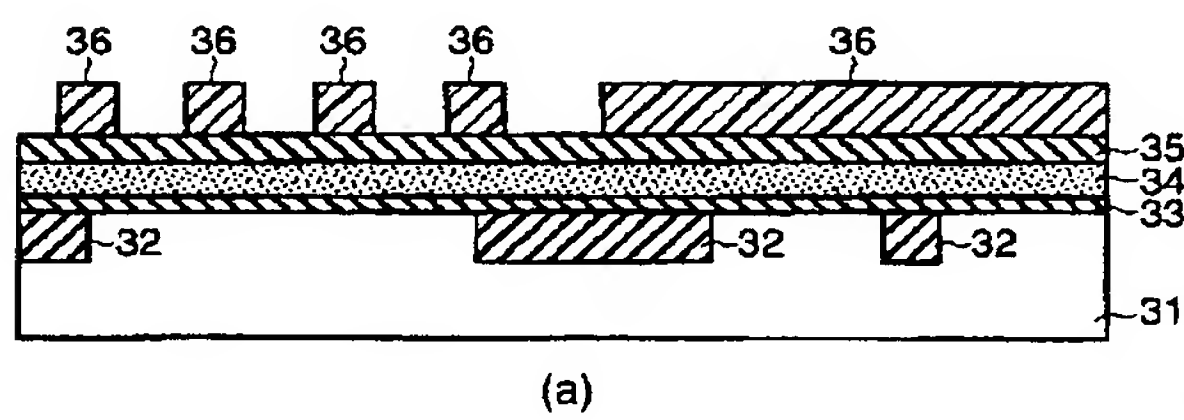
【図22】



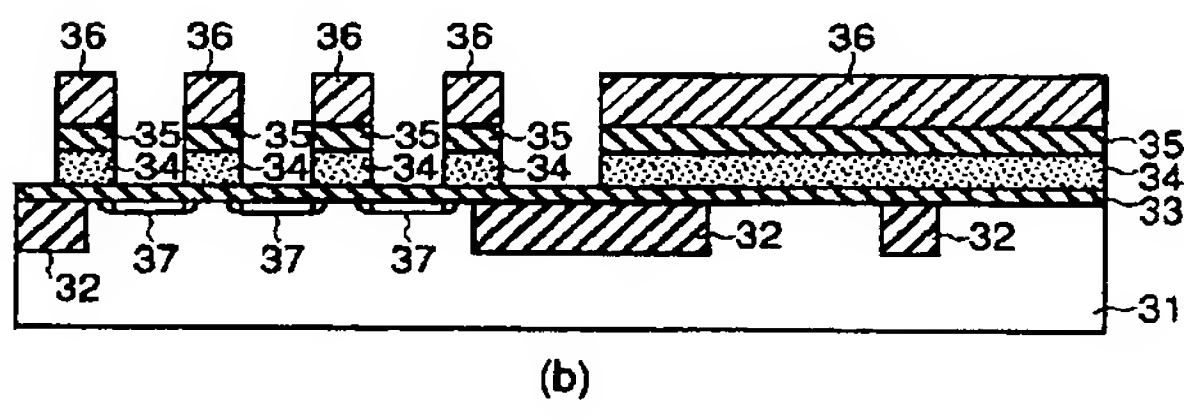
【図 2 3】



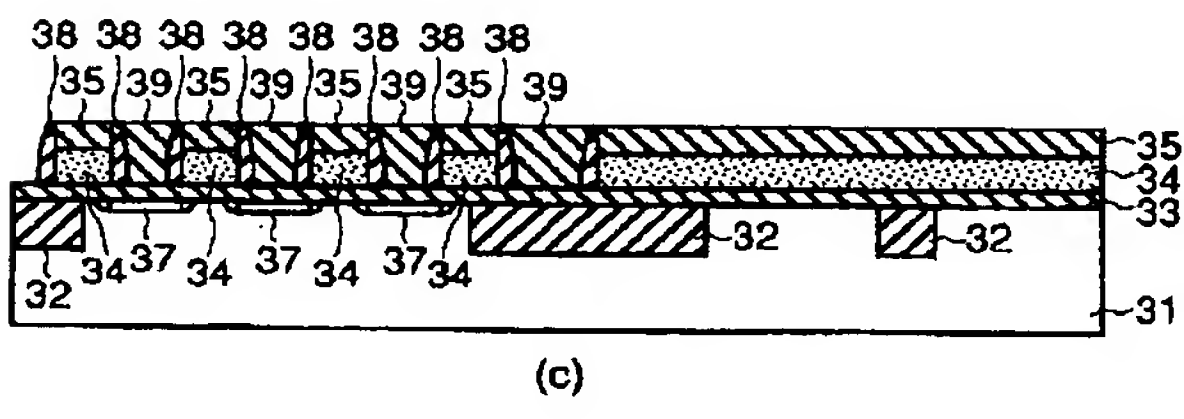
【図 2 4】



(a)

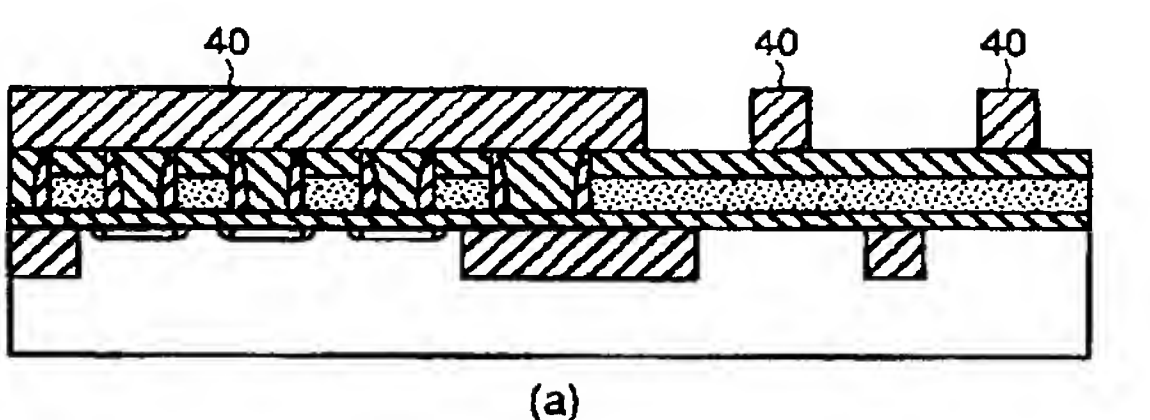


(b)

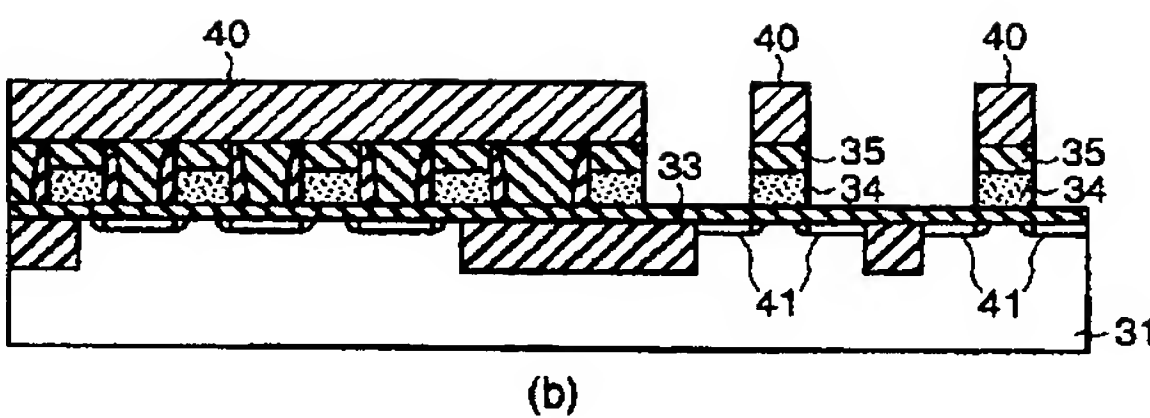


(c)

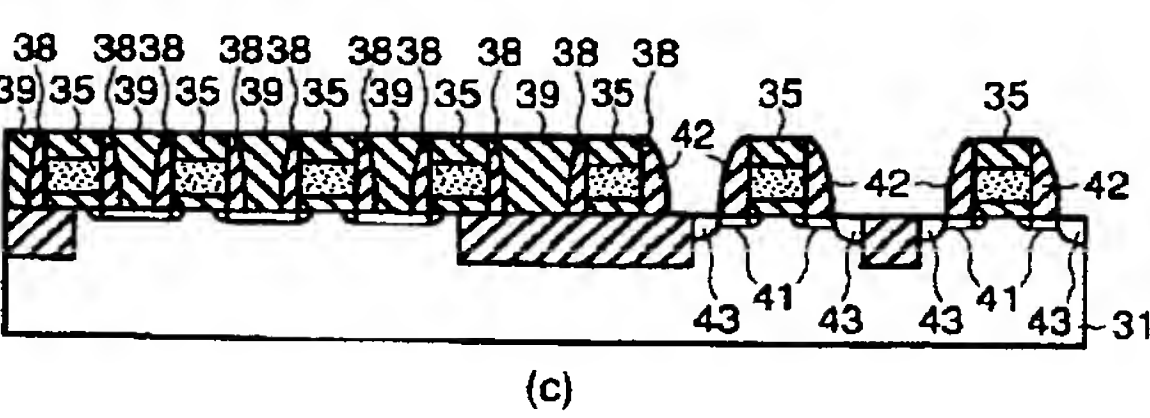
【図 2 5】



(a)

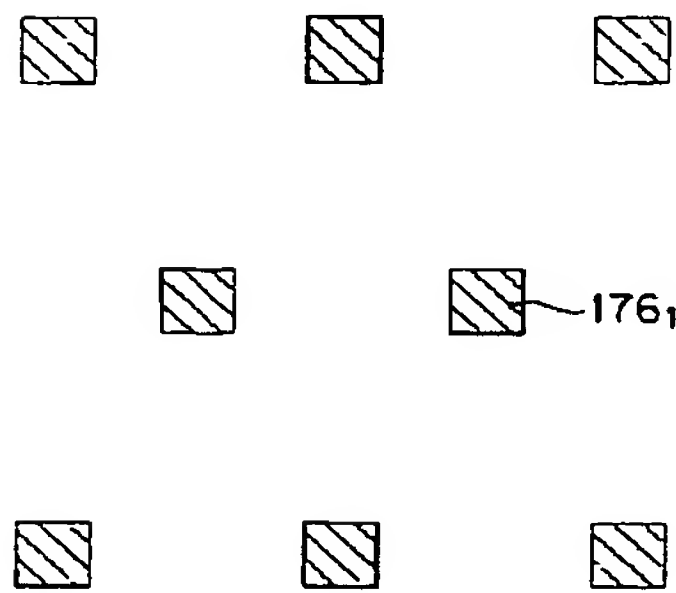


(b)

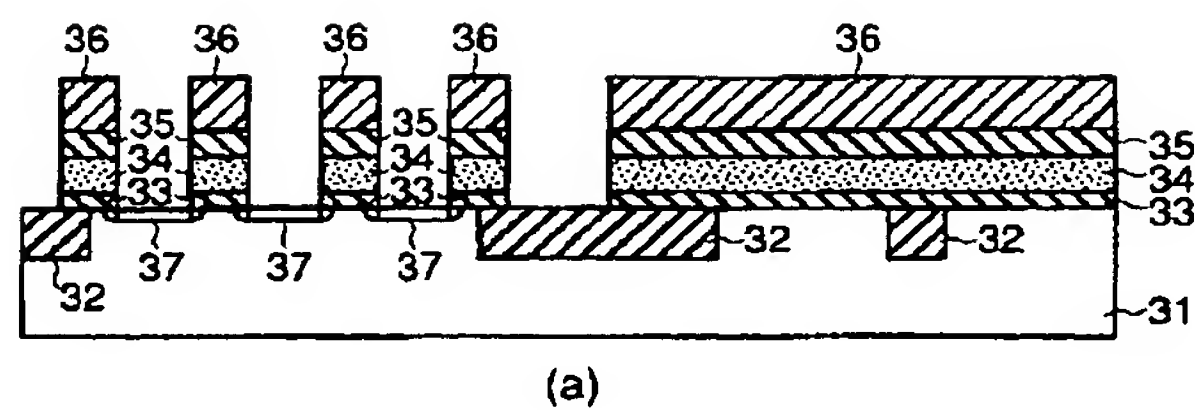


(c)

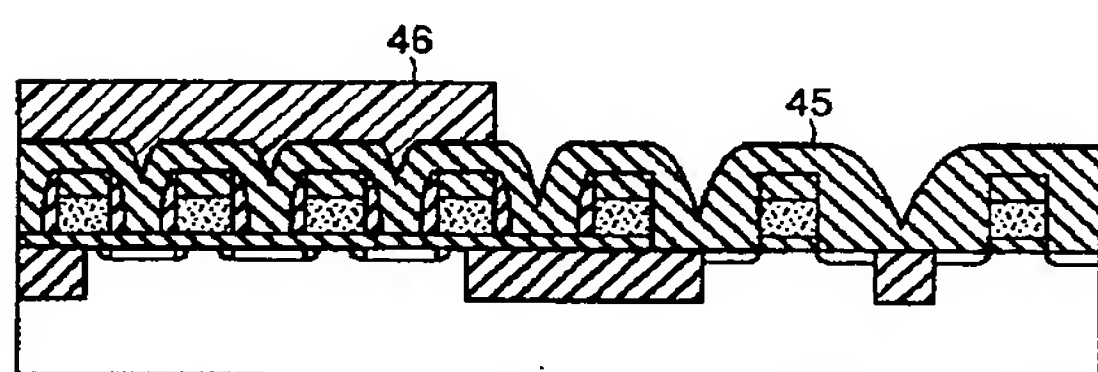
【図 3 1】



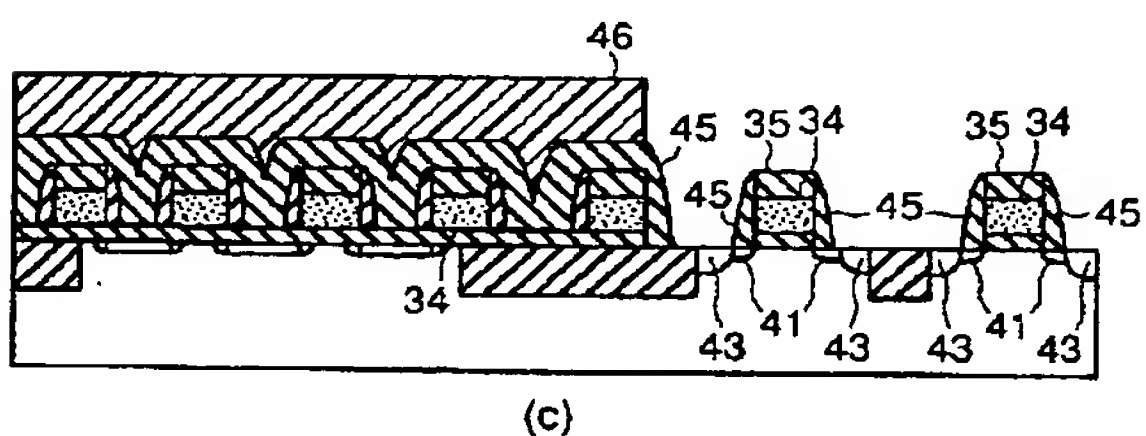
【图 27】



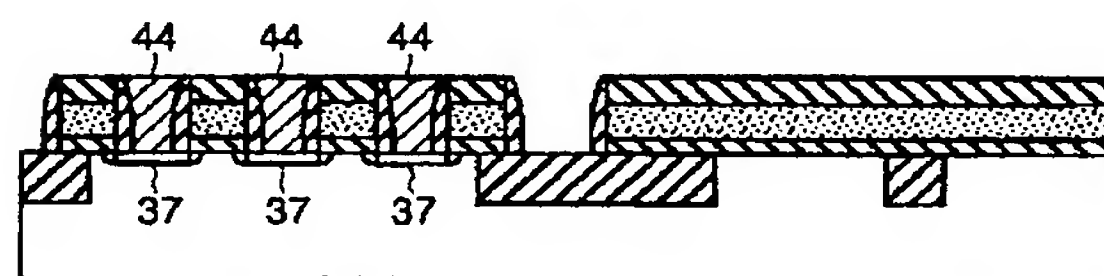
(a)



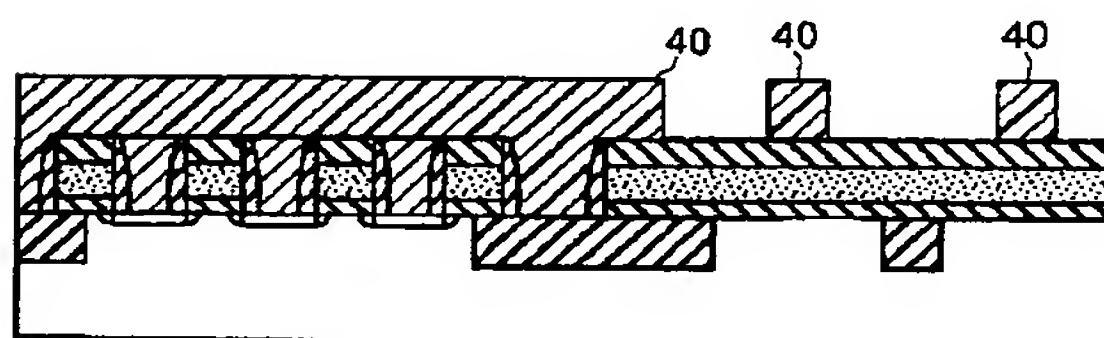
(b)



(c)

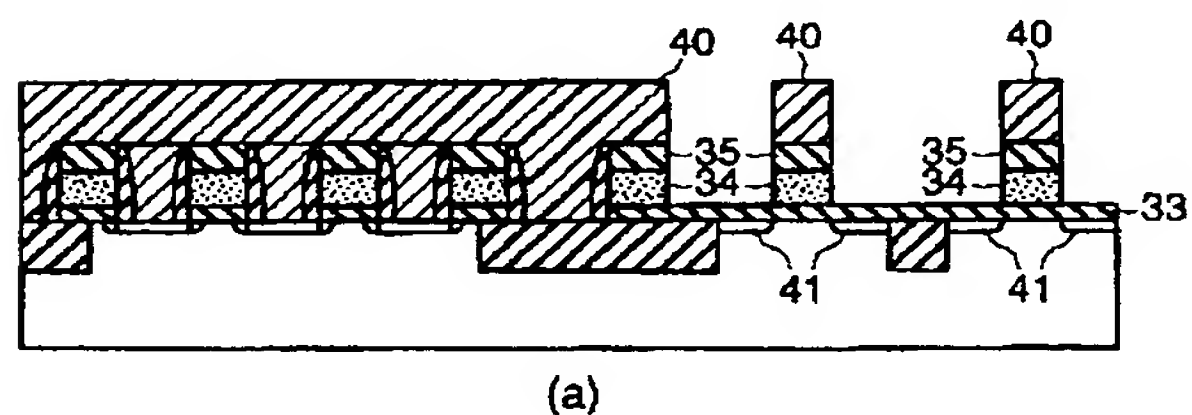
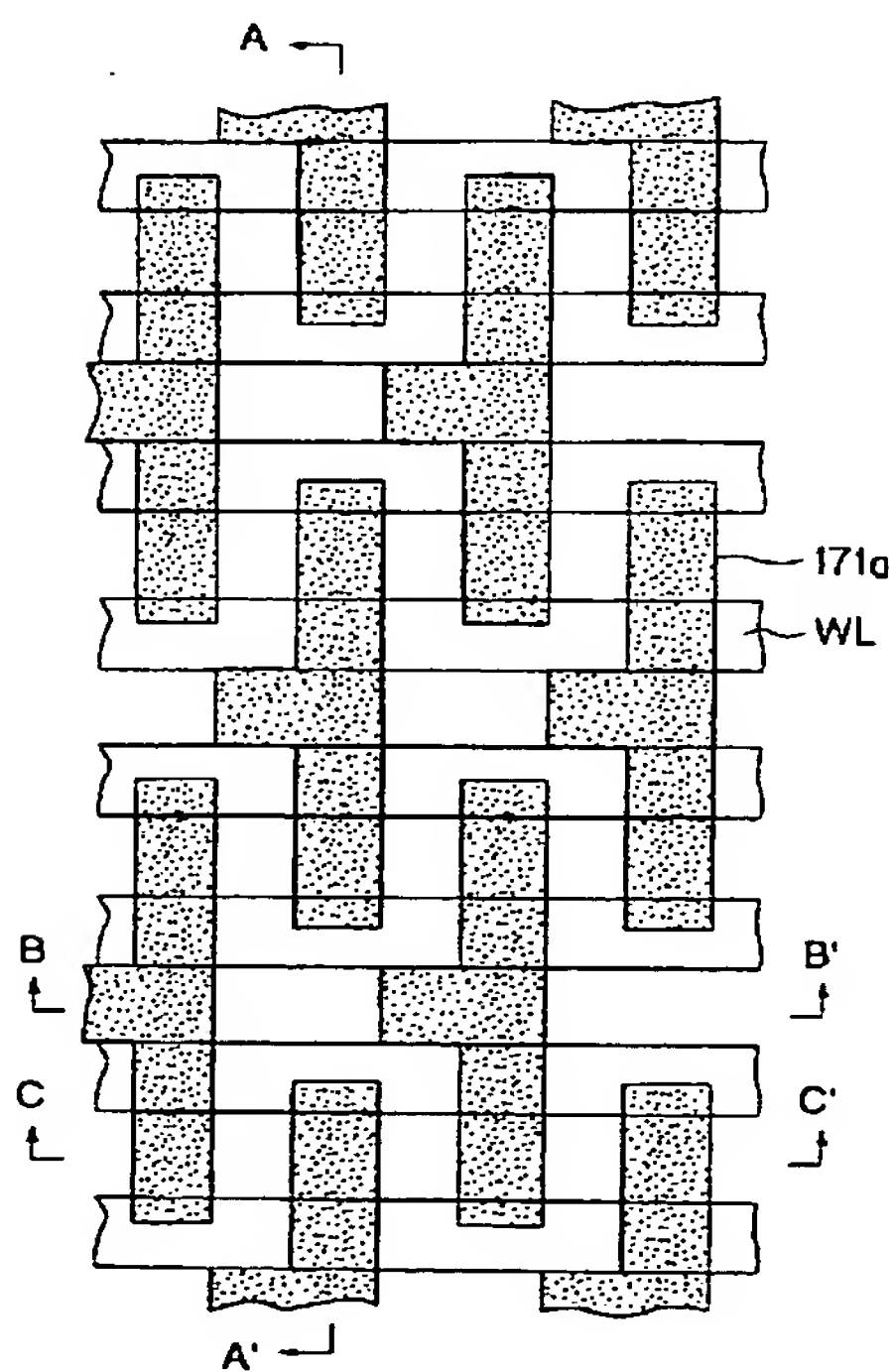


(b)

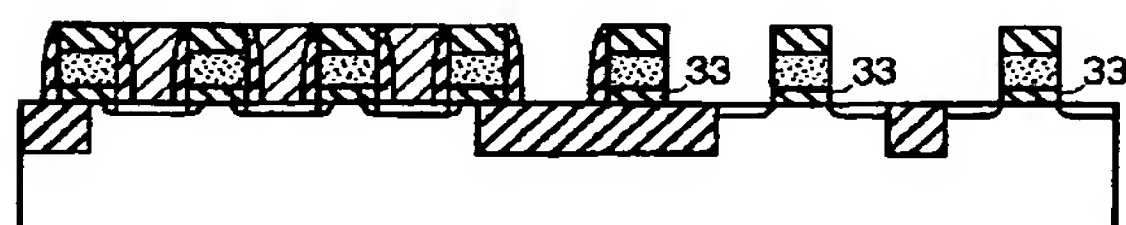


(c)

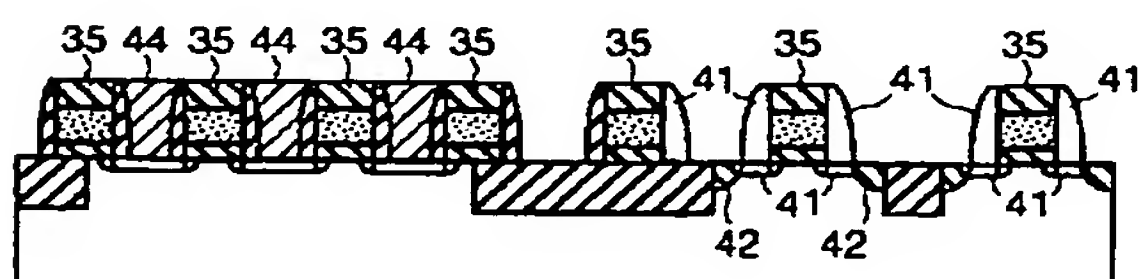
【图 28】



(a)

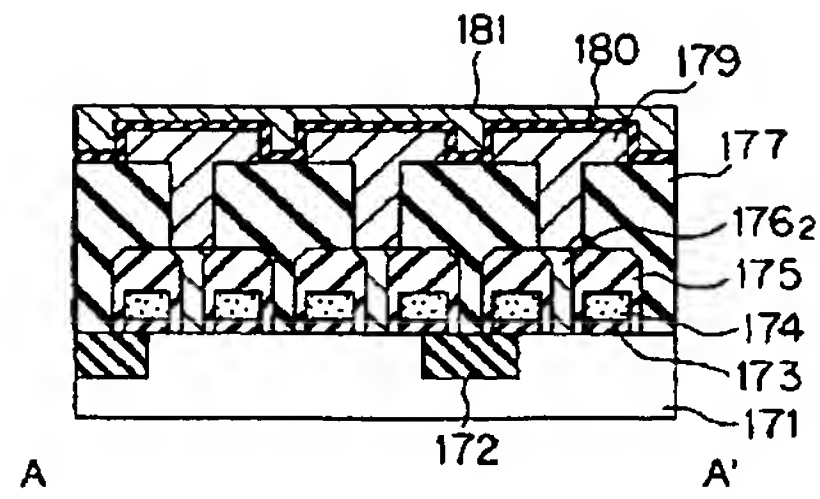


(b)

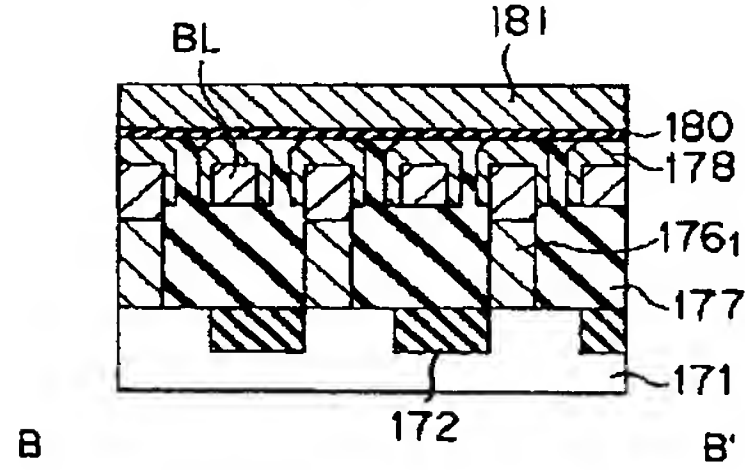


(C)

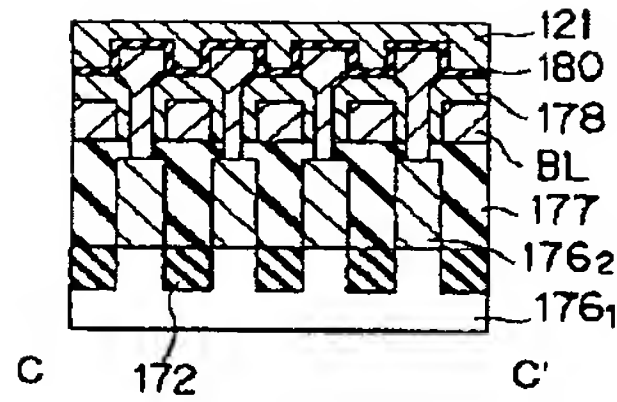
【図30】



(a)

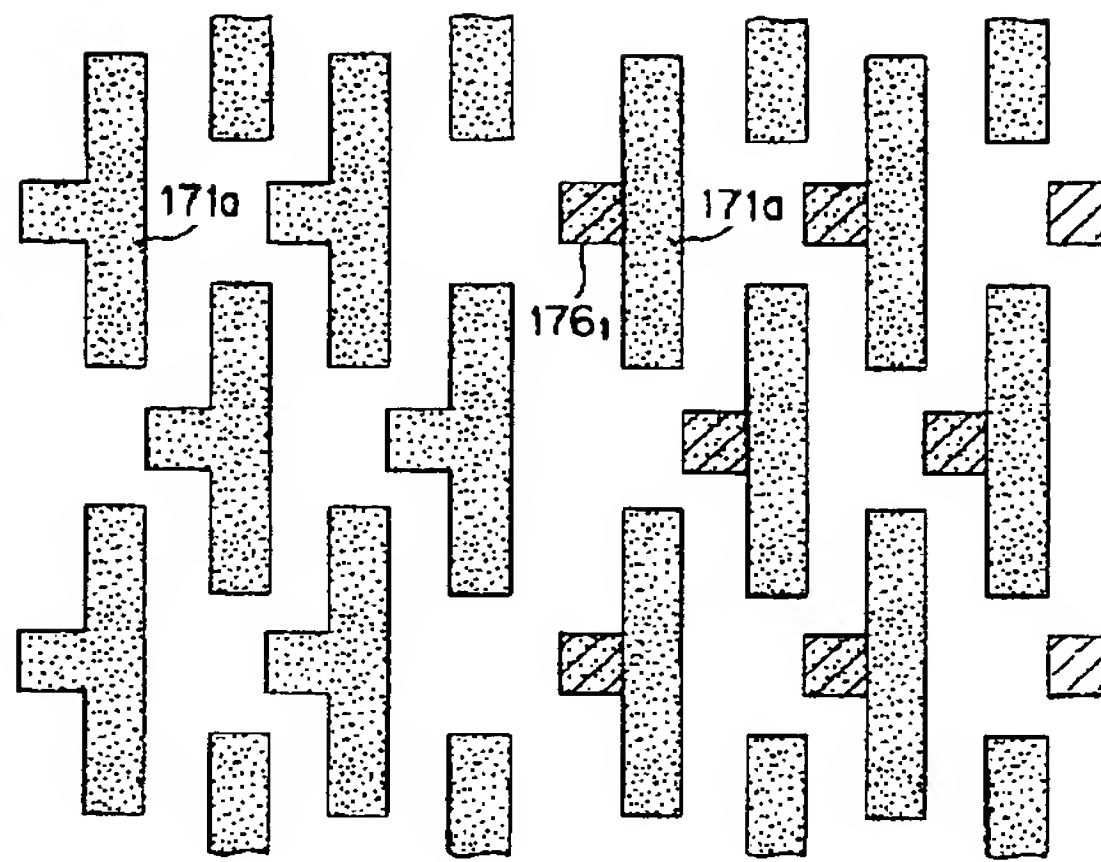


(b)

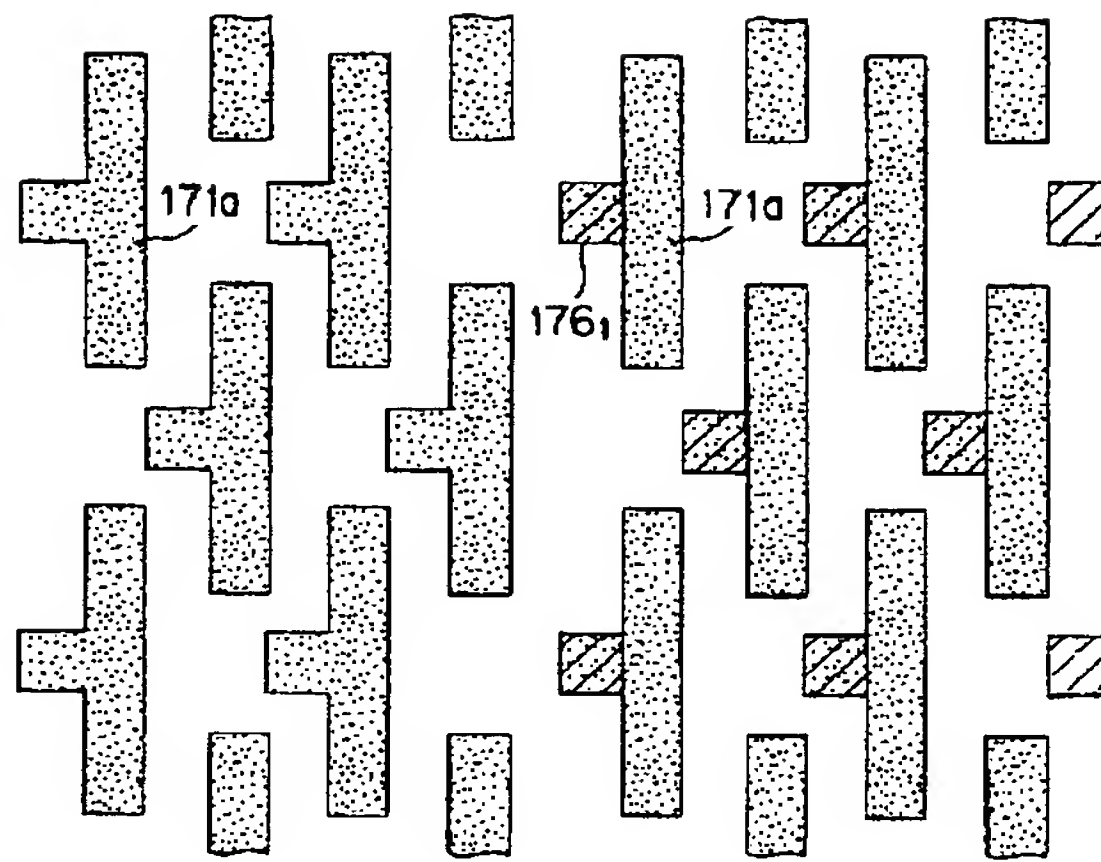


(c)

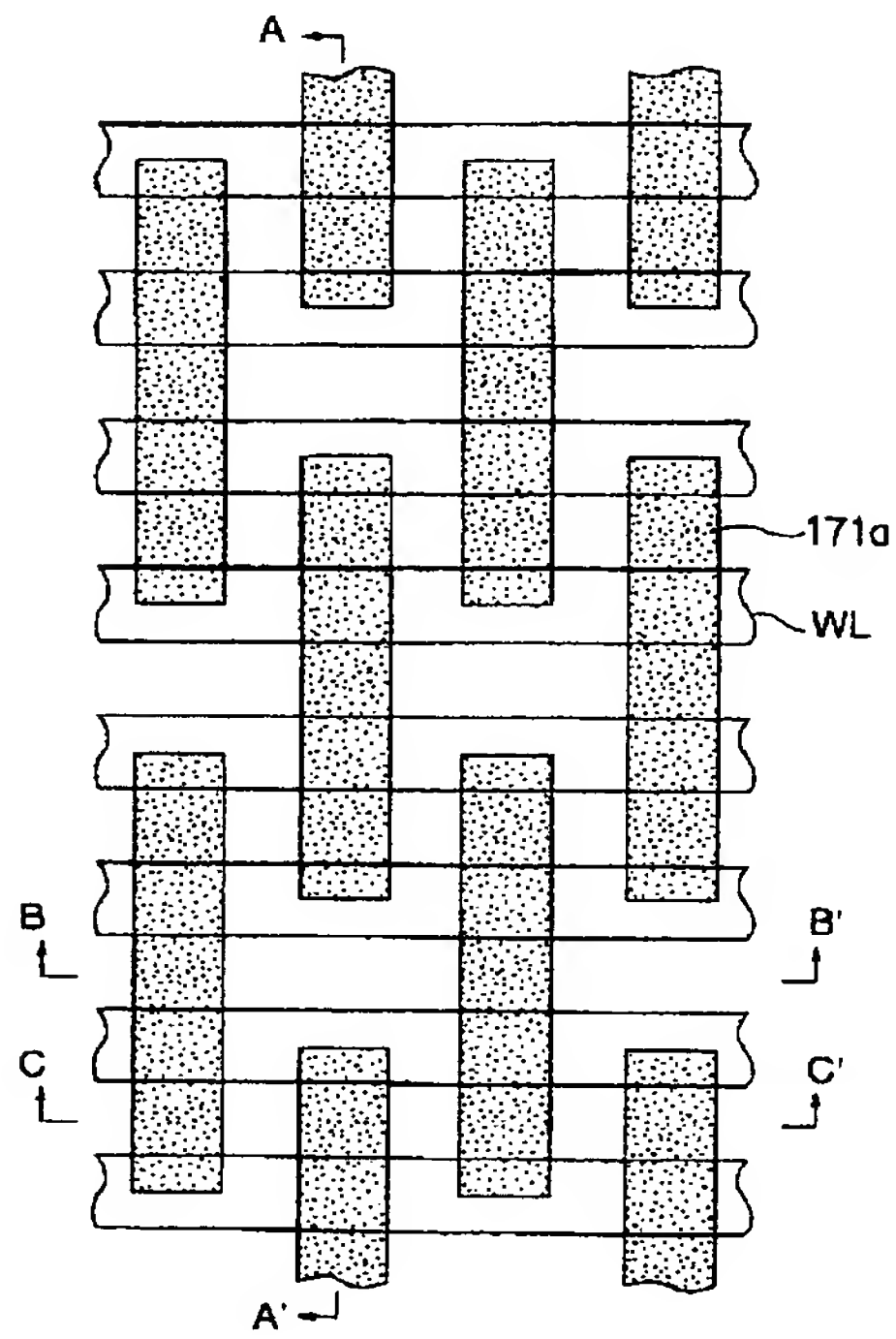
【図32】



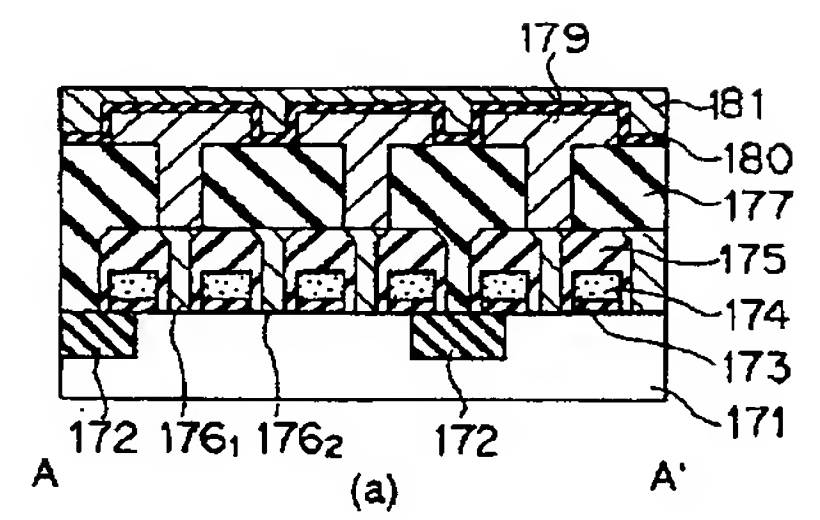
【図33】



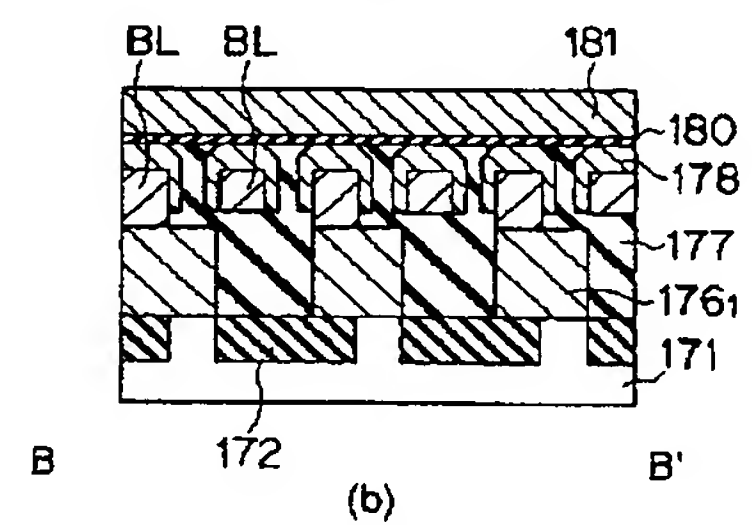
【図34】



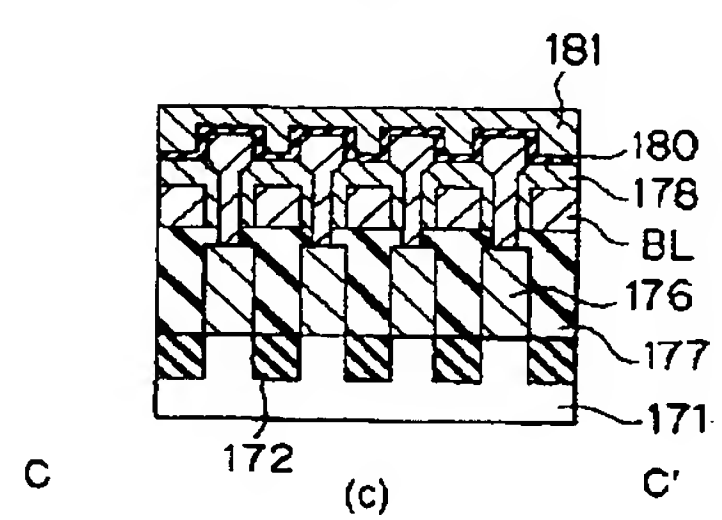
【図35】



(a)

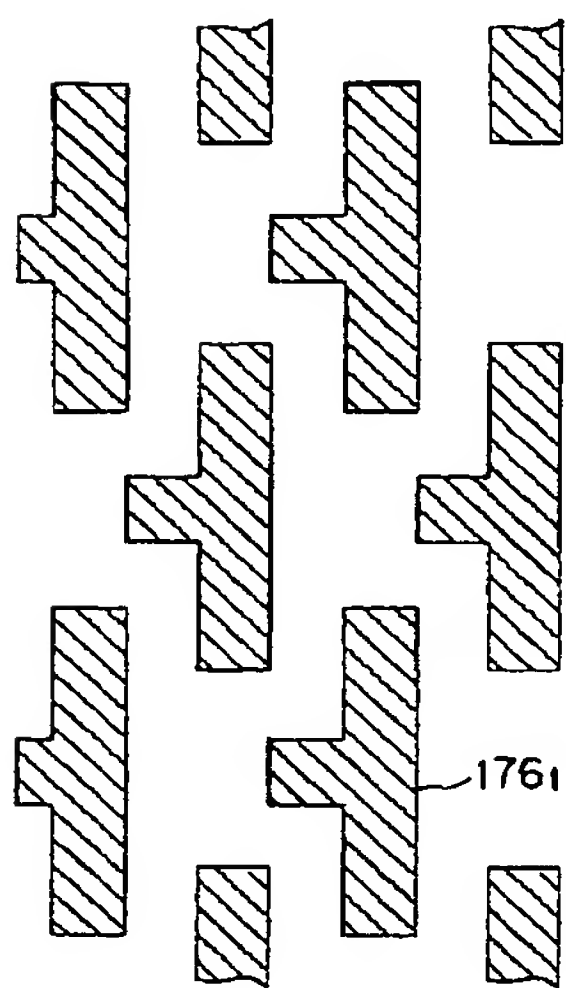


(b)

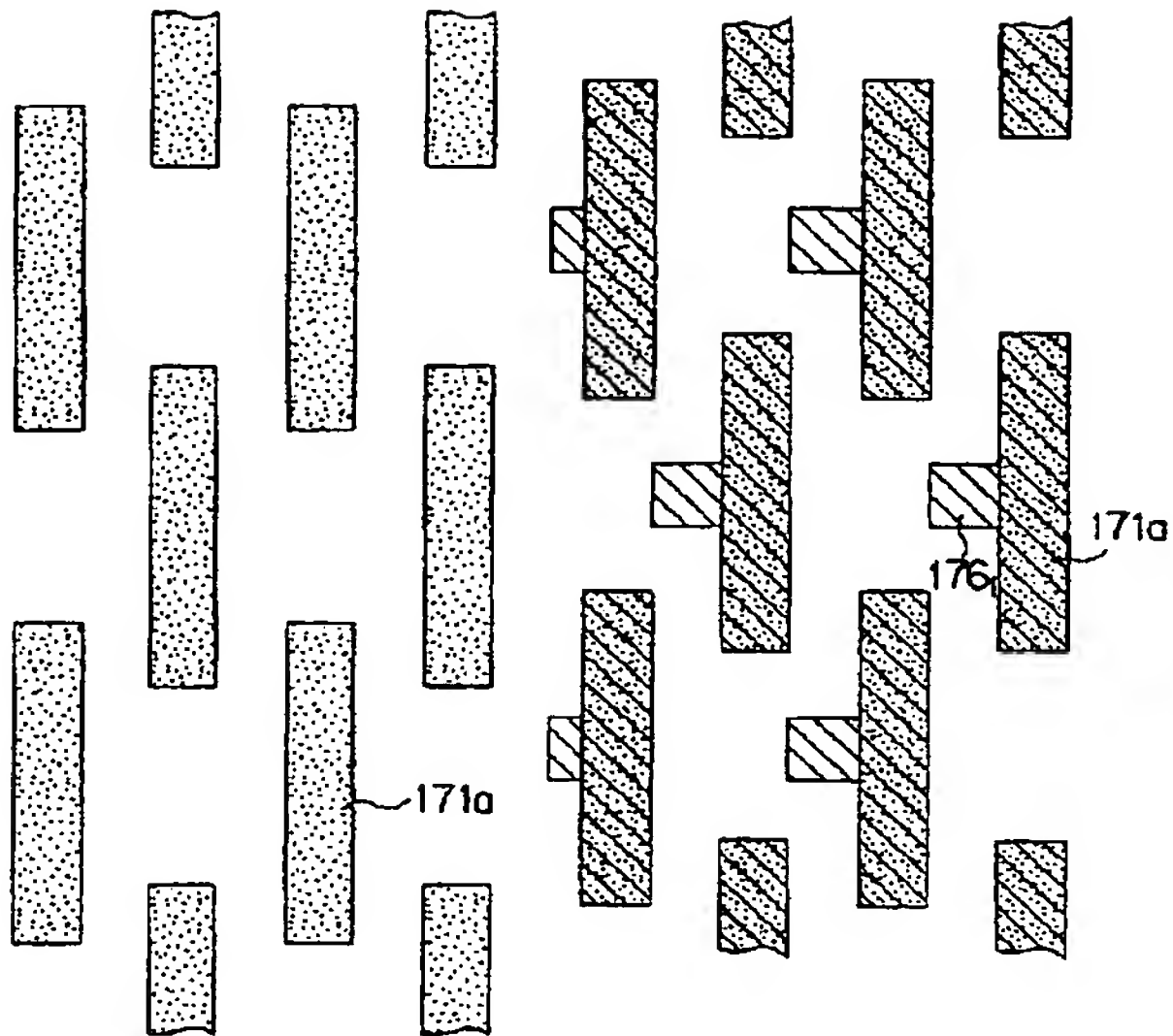


(c)

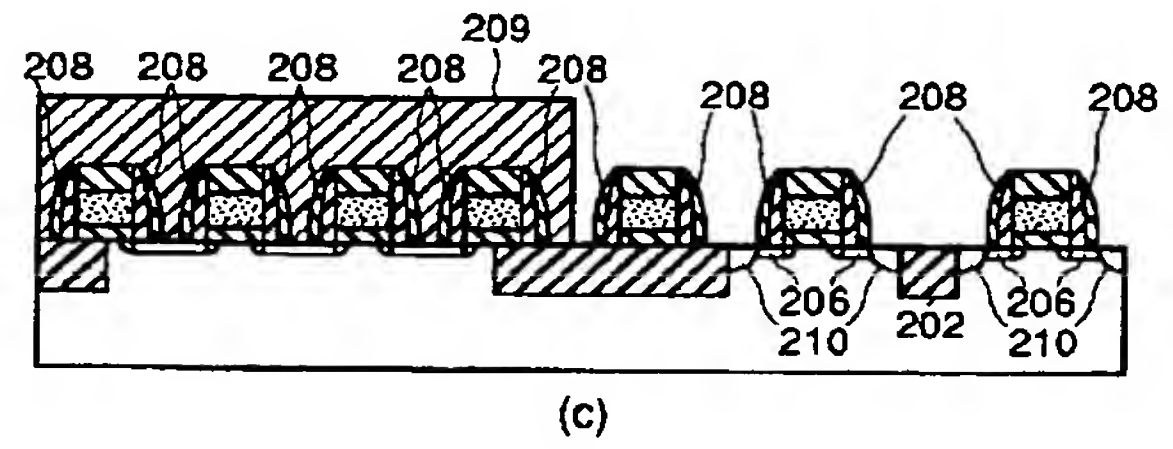
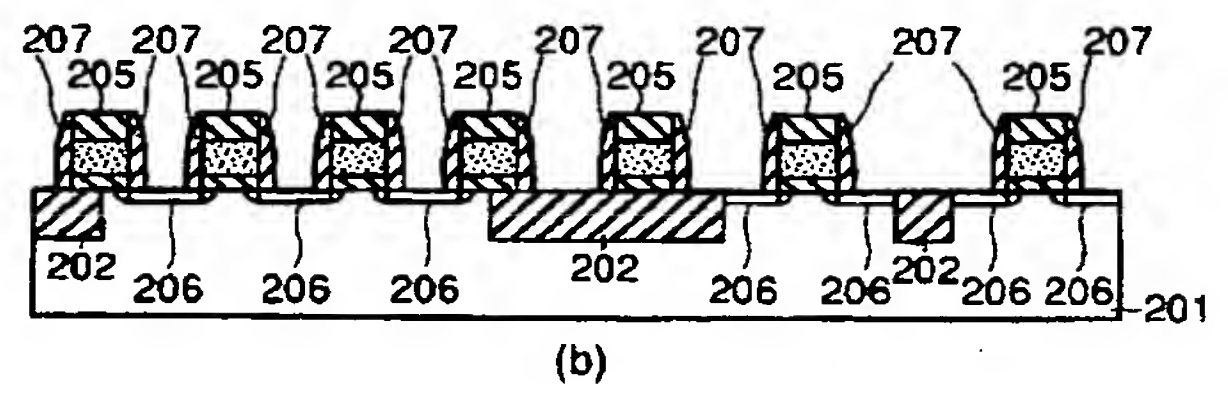
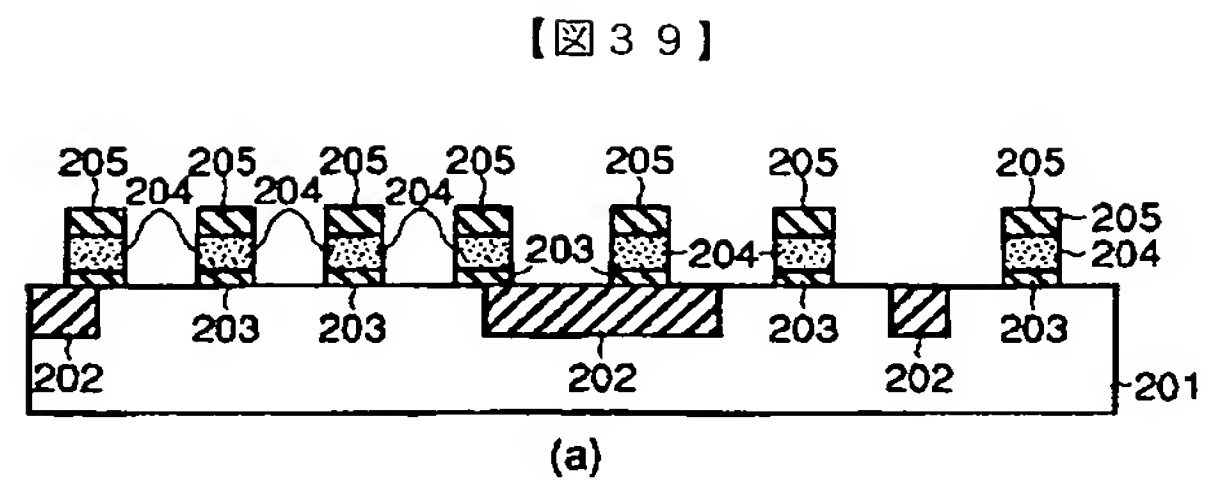
【図36】



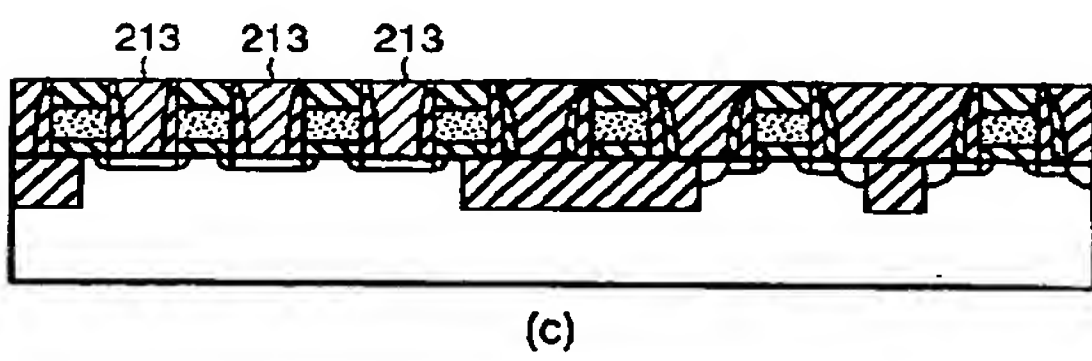
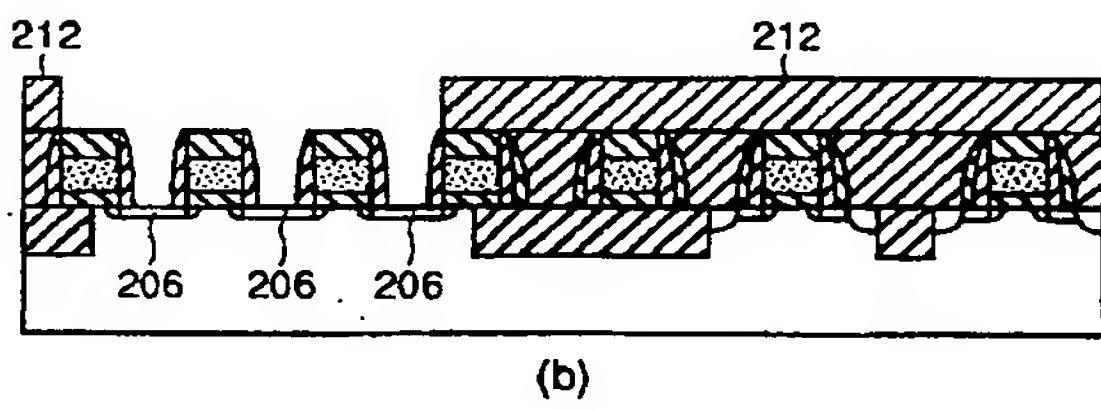
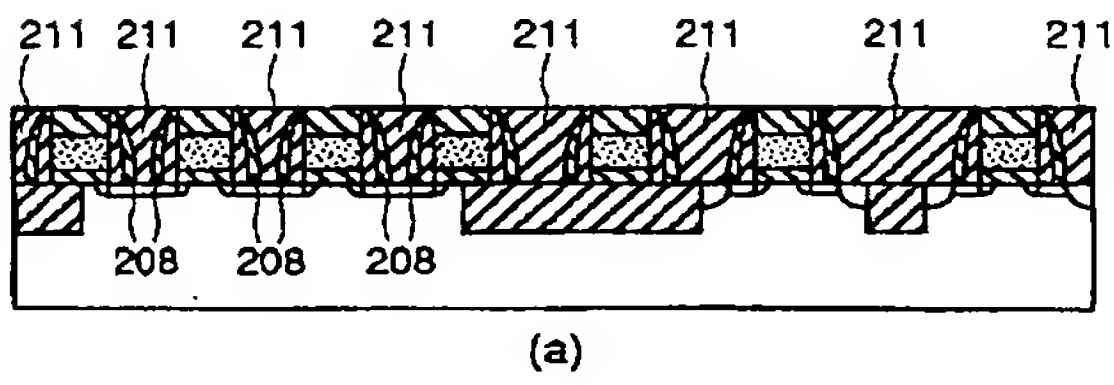
【図 37】



【図 38】



【図 40】



【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 7 部門第 2 区分
【発行日】 平成 14 年 9 月 13 日 (2002. 9. 13)

【公開番号】 特開平 10-144886
【公開日】 平成 10 年 5 月 29 日 (1998. 5. 29)
【年通号数】 公開特許公報 10-1449
【出願番号】 特願平 9-172451
【国際特許分類第 7 版】

H01L 27/108
21/8242

【F I】

H01L 27/10 681 B
621 Z
681 D

【手続補正書】

【提出日】 平成 14 年 6 月 17 日 (2002. 6. 17)

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正内容】

【特許請求の範囲】

【請求項 1】 半導体基板表面に規則的に配列された複数の活性領域群と、これらの複数の活性領域群の間に形成された素子分離領域と、前記複数の活性領域群上にこれと交差して互いに並んで配列された複数の配線群と、この複数の配線群上を選択的に覆う第 1 の絶縁膜と、前記複数の配線群の間を埋め込むように形成された第 2 の絶縁膜とを備え、

前記複数の活性領域群は、前記複数の配線群の配列方向に、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつずれて配列されるとともに、前記複数の活性領域群の各々に対するコンタクト領域は、前記複数の配線群のうち隣接する配線間で、かつ前記複数の活性領域群の各々から前記複数の配線群の走る方向に凸状に延在した領域に設けられ、

前記第 2 の絶縁膜は、前記複数の配線群間における前記複数の活性領域群の領域及び前記コンタクト領域上に開口部を有し、該コンタクト領域上の開口部を埋め込むようにコンタクト電極配線層が形成され、前記複数の配線群の走る方向における前記素子分離領域の幅を L_1 、同方向における前記複数の活性領域群の 1 つの幅を L_2 とすると、前記コンタクト領域における前記凸状に延在した領域の有する前記複数の配線群の走る方向の長さ X が、 $L_1 < X < 2L_1 + L_2$ の関係を満たすことを特徴とする半導体装置。

【請求項 2】 前記複数の活性領域群の各々は MOS 型ト

ランジスタのソース・ドレイン領域からなり、前記複数の配線群はワード線からなり、前記コンタクト電極配線層は前記コンタクト領域に対してビット線をコンタクトするための電極配線層であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記複数の活性領域群の各々は少なくとも 2 つの MOS 型トランジスタを有し、前記コンタクト領域は前記 2 つの MOS 型トランジスタにおける共通のソース・ドレイン領域と電気的に接続するように形成され、前記 MOS 型トランジスタの他のソース・ドレイン領域に対してスタック型のキャパシタが電気的に接続されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 半導体基板表面に規則的に配列された複数の活性領域群と、この複数の活性領域群上にこれと交差して互いに並んで配列された複数の配線群とを備え、前記複数の活性領域群は、前記複数の配線群の配列方向に、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつずれて配列されるとともに、前記複数の活性領域群の各々に対するコンタクト領域は、前記複数の配線群のうち隣接する配線間で、かつ前記複数の活性領域群の各々から前記複数の配線群の走る方向に凸状に延在した領域に設けられた半導体装置の製造方法であって、

前記複数の配線群上を選択的に第 1 の絶縁膜で覆う工程と、前記複数の配線群の間を第 2 の絶縁膜で埋める工程と、前記第 1 及び第 2 の絶縁膜上にレジストを形成し、このレジストを露光、現像することにより、レジストパターンを形成する工程と、このレジストパターンをマスクとして前記第 2 の絶縁膜を前記第 1 の絶縁膜に対して選択的にエッチングすることにより、前記複数の活性領域群のコンタクト領域に対するコンタクト孔を前記第 2 の絶縁層に形成する工程と、前記コンタクト孔を埋め込むようにコンタクト電極配線層を形成する工程とを備

え、

前記レジストパターンを、前記複数の活性領域群上及び前記コンタクト領域上の前記レジスト部分の他、前記複数の活性領域群の各々の活性領域のコンタクト領域と該活性領域に対して、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずれて前記凸状に延在する側に隣接する活性領域との間の領域上の前記レジスト部分を除去して形成することを特徴とする半導体装置の製造方法。

【請求項5】半導体基板表面に規則的に配列された複数の活性領域群と、これらの複数の活性領域群の間に形成された素子分離領域と、前記複数の活性領域群上にこれと交差して互いに並んで配列された複数の配線群とを備え、前記複数の活性領域群は、前記複数の配線群の配列方向に、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずつずれて配列されるとともに、前記複数の活性領域群の各々に対するコンタクト領域は、前記複数の配線群のうち隣接する配線間で、かつ前記複数の活性領域群の各々から前記複数の配線群の走る方向に凸状に延在した領域に設けられた半導体装置の製造方法であって、

前記複数の配線群上を選択的に第1の絶縁膜で覆う工程と、前記複数の配線群の間を第2の絶縁膜で埋める工程と、前記第1及び第2の絶縁膜上にレジストを形成し、このレジストを露光、現像することにより、前記複数の活性領域群及び前記コンタクト領域上の前記レジスト部分を除去してレジストパターンを形成する工程と、このレジストパターンをマスクとして前記第2の絶縁膜を前記第1の絶縁膜に対して選択的にエッチングすることにより、前記複数の活性領域群のコンタクト領域に対するコンタクト孔を前記第2の絶縁層に形成する工程と、前記コンタクト孔を埋め込むようにコンタクト電極配線層を形成する工程とを備え、

前記複数の配線群の走る方向における前記素子分離領域の幅を L_1 、同方向における前記複数の活性領域群の1つの幅を L_2 とすると、前記コンタクト領域における前記凸状に延在した領域の有する前記複数の配線群の走る方向の長さ X が $L_1 < X < 2L_1 + L_2$ の関係を満たすように該コンタクト領域を設けて、前記レジストパターンを形成することを特徴とする半導体装置の製造方法。

【請求項6】前記複数の活性領域群の各々はMOS型トランジスタのソース・ドレイン領域からなり、前記複数の配線群はワード線からなり、前記コンタクト電極配線層は前記コンタクト領域に対してビット線をコンタクトするための電極配線層であることを特徴とする請求項4又は請求項5記載の半導体装置の製造方法。

【請求項7】前記複数の活性領域群の各々は少なくとも2つのMOS型トランジスタを有し、前記コンタクト領域を前記2つのMOS型トランジスタにおける共通のソース・ドレイン領域と電気的に接続するように形成し、

前記MOS型トランジスタの他のソース・ドレイン領域に対してスタック型のキャパシタを電気的に接続せしめることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】前記レジストパターンは、前記活性領域に対して、前記複数の配線群の走る方向における前記複数の活性領域群の間の距離の $1/2$ ずれて前記凸状に延在する方向に隣接する2つの活性領域間の領域上の前記レジスト部分を除去して形成することを特徴とする請求項4又は請求項5記載の半導体装置の製造方法。

【請求項9】前記レジストパターンは互いに分離した複数の矩形のパターンからなり、該矩形のパターンをアレイ状に、かつ前記複数の配線群と交差して互いに平行となるように配列することを特徴とする請求項4又は請求項5記載の半導体装置の製造方法。

【請求項10】前記矩形のパターンを、前記複数の配線群の配列方向に半ピッチずつずれて配列することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】複数の第1のMOSトランジスタがチャネル長方向に第1のゲート電極間距離でもって配列形成され、前記複数の第1のMOSトランジスタのゲート電極の側壁の各々に第1のゲート側壁絶縁膜が直接接して設けられた第1の領域と、前記第1のMOSトランジスタよりも高不純物濃度の拡散層を有する複数の第2のMOSトランジスタが、チャネル長方向に前記第1のゲート電極間距離よりも長い第2のゲート電極間距離でもって配列形成され、前記複数の第2のMOSトランジスタのゲート電極の側壁の各々に前記第1のゲート側壁絶縁膜と同種の膜からなり、かつ前記第1のゲート側壁絶縁膜よりも厚い第2のゲート側壁絶縁膜が直接接して設けられた第2の領域とを具備してなることを特徴とする半導体装置。

【請求項12】複数の第1のMOSトランジスタがチャネル長方向に第1のゲート電極間距離でもって配列形成され、前記複数の第1のMOSトランジスタのゲート電極の側壁の各々にシリコン窒化膜からなる第1のゲート側壁絶縁膜が直接接して設けられた第1の領域と、前記第1のMOSトランジスタよりも高不純物濃度の拡散層を有する複数の第2のMOSトランジスタが、チャネル長方向に前記第1のゲート電極間距離よりも長い第2のゲート電極間距離でもって配列形成され、前記複数の第2のMOSトランジスタのゲート電極の側壁の各々に前記第1のゲート側壁絶縁膜と異種の膜からなる第2のゲート側壁絶縁膜が直接接して設けられ、かつ前記複数の第2のゲート側壁絶縁膜が、前記複数の第1のゲート側壁絶縁膜を介して前記複数の第1のMOSトランジスタのゲート電極の側壁に設けられている第2の領域とを具備し、前記複数の第1のゲート側壁絶縁膜はシリコン窒化膜からなり、前記複数の第2のゲート側壁絶縁膜はシリコン

酸化膜からなることを特徴とする半導体装置。

【請求項 1 3】複数の第 1 の MOS トランジスタがチャンネル長方向に第 1 のゲート電極間距離をもって配列形成された第 1 の領域と、

前記第 1 の MOS トランジスタよりも高不純物濃度の拡散層を有する複数の第 2 の MOS トランジスタが、チャンネル長方向に前記第 1 のゲート電極間隔よりも長い第 2 のゲート電極間隔をもって配列形成された第 2 の領域とを具備してなる半導体装置の製造方法において、

前記第 1 及び第 2 の領域上に導電膜を形成する工程と、

前記第 1 の領域上の前記導電膜を選択的にエッチング

し、複数の第 1 のゲート電極を前記第 1 のゲート電極間距離をもって配列形成する工程と、

前記第 1 のゲート電極間の前記第 1 の領域に不純物を選択的に導入し、第 1 の拡散層を形成する工程と、

前記第 1 のゲート電極の側壁に第 1 のゲート側壁絶縁膜を形成する工程と、

前記第 2 の領域上の前記導電膜を選択的にエッチング

し、複数の第 2 のゲート電極を前記第 2 のゲート電極間距離をもって配列形成する工程と、

前記第 2 のゲート電極間の前記第 2 の領域に不純物を選択的に導入し、第 2 の拡散層を形成する工程と、

前記第 2 のゲート電極の側壁に、前記第 1 のゲート側壁絶縁膜よりも厚く、かつ前記第 1 のゲート側壁絶縁膜と同種の膜からなる第 2 のゲート側壁絶縁膜を形成する工程と、

この第 2 のゲート側壁絶縁膜で覆われていない領域の前記第 2 の拡散層に不純物を選択的に導入し、第 3 の拡散層を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 1 4】前記第 1 の拡散層上にソース・ドレイン電極を形成した後、前記第 2 のゲート電極を形成することを特徴とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 5】前記第 1 の拡散層上に前記ソース・ドレイン電極としての導電膜を選択的に形成することを特徴

とする請求項 1 3 記載の半導体装置の製造方法。

【請求項 1 6】複数の第 1 の MOS トランジスタがチャンネル長方向に第 1 のゲート電極間距離をもって配列形成された第 1 の領域と、

前記第 1 の MOS トランジスタよりも高不純物濃度の拡散層を有する複数の第 2 の MOS トランジスタが、チャンネル長方向に前記第 1 のゲート電極間隔よりも長い第 2 のゲート電極間隔をもって配列形成された第 2 の領域とを具備してなる半導体装置の製造方法において、

前記第 1 及び第 2 の領域上に導電膜を形成する工程と、

前記第 1 の領域上の前記導電膜を選択的にエッチング

し、複数の第 1 のゲート電極を前記第 1 のゲート電極間距離をもって配列形成する工程と、

前記第 1 のゲート電極間の前記第 1 の領域に不純物を選択的に導入し、第 1 の拡散層を形成する工程と、

前記第 1 のゲート電極の側壁に接する第 1 のゲート側壁絶縁膜を形成する工程と、

前記第 2 の領域上の前記導電膜を選択的にエッチング

し、複数の第 2 のゲート電極を前記第 2 のゲート電極間距離をもって配列形成する工程と、

前記第 2 のゲート電極間の前記第 2 の領域に不純物を選択的に導入し、第 2 の拡散層を形成する工程と、

前記第 2 のゲート電極の側壁に接するとともに、前記第 1 のゲート電極の側壁に接し、前記第 1 のゲート側壁絶縁膜よりも厚く、かつ前記第 1 のゲート側壁絶縁膜と異種の膜からなる第 2 のゲート側壁絶縁膜を形成する工程と、

この第 2 のゲート側壁絶縁膜で覆われていない領域の前記第 2 の拡散層に不純物を選択的に導入し、第 3 の拡散層を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 1 7】前記導電膜は不純物を含む半導体膜であり、前記第 2 のゲート側壁絶縁膜は前記半導体膜中の前記不純物のゲート絶縁膜の突き抜けを抑制する絶縁膜であることを特徴とする請求項 1 6 記載の半導体装置の製造方法。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)